

应用于高效率、高电压开关电源的GaN场效应晶体管

邓隐北, 戴向阳, 董宝靓, 蔡剑芳

浙江宝能电源有限公司

1 前言

面对社会的需要和系统调节要求, 电源的效率都是电子系统中优先考虑的因数, 尤其是从电动汽车 (EV) 到高压通讯, 以及工业基础设施整个应用范围, 电源的转换效率和功率密度, 对于一个成功的设计来说都是关键。为适应这些要求, 开关式电源的设计者必须转变思路: 从传统的硅基 (Si) 金属氧化物场效应晶体管 (MOSFET) 和绝缘栅双极晶体管 (IGBT) 的利用 (因其已很快接近理论极限), 取而代之, 应考虑采用基于宽带隙 (WBG) 的材料, 例如将氮化镓 (GaN) 用于功率器件。GaN 器件较之 Si 器件, 开关速度更快, 可操控更高的电压和功率。对于给定的功率级, 体积要小得多, 并能以很高的效率运行。

本文对 GaN FET 的基本性能进行了验证, 在开关电源的功率电路中, 已显示出超越传统 Si 器件的优越性, 对其应用也进行了讨论。

2 GaN 场效应晶体 (FET) 的优越性

高压半导体开关是功率转换电路中的基本元件。设计者的关注重点是通过以下措施, 致力于改进这些器件的性能: 藉减少通态串联电阻以降低导通损耗; 藉增加转换速度和减少寄生效应 (parasitic effect) 以降低开关损耗。通常, 这些设计上的努力, 对于硅 MOSFET 和 IGBT 已经成功, 但因这些器件的运行已接近其理论极限, 故改进提高的速度缓慢。从而, 过去几年来开始引用 WBG 器件已恰到好处 (to the point), 利用碳化硅 (SiC) 和氮化镓实现了批量生产。这些器件可提供较高的运行电压范围, 更快的开关时间, 以及更高的效率。

半导体的带隙 (band gap), 就是激发电子从受束缚

状态到自由状态形成导电、所需的最小能量, 也叫带隙能量, 单位为电子伏特, eV (表 1)。

表 1: 宽带隙半导体 (如 GaN 和 SiC), 对比 Si 显示出的关键特性汇总

特性	GaN	Si	SiC
带隙能量 (电子伏特, eV)	3.4	1.12	3.3
Vs- 饱和漂移速度 ($\times 10^7$ cm/s)	2.5	1.0	2.0
Ec- 临界电场 (MV/cm)	3.3	0.3	3.5
u- 电子迁移率 (cm^2/vs)	990-2000	1500	650

由宽带隙半导体制成的器件, 对比普通半导体材料 (例如硅) 的器件, 能运行于高得多的电压、频率和温度。宽带隙器件容许在很高温度下运行尤为重要。高温的容限意味着这些器件在额定工况下能以高得多的功率级运行。WBG 半导体具有更高的临界电场和更高的电子迁移率, 同时还具有最小的漏 (极) / 源 (极) 通态电阻 ($R_{\text{ds(on)}}$), 这也助于降低导通损耗。

大多数宽带隙材料具有高速的自由电子, 这将允许它们在很高开关速度下工作。

与具有带隙 1.12eV (电子伏特) 的硅比较, GaN 和 SiC 均为化合物半导体, 其带隙分别为 3.4eV 和 3.3eV, 比硅的带隙约大 3 倍。这就意味着此二者支持在较高电压和较高频率下工作。

GaN 更高的电子迁移率, 使其能更多的适用于高性能、高频率的应用场合; GaN FET (场效应管) 能实现较快的开关速度和较高的运行频率, 可导致信号控制的改进, 无源滤波器设计能有较高的截止 (cut off) 频率以及较小的纹波电流。这样就能利用较小的电感器、电容器和变压器, 结果是总的体积和重量减小、减轻。GaN FET 被称为高电子迁移率的晶体管 (HEMT), 高电子迁移率是 FET 结构的功能特点之一 (图 1)。

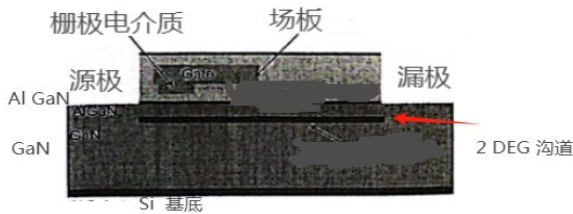


图 1: 在硅基底上的 GaN FET 横断面

GaN FET 可利用现有的硅互补型金属氧化物半导体 (CMOS) 生产设施, 达到性价比优。藉沉积 GaN 的籽晶 (seed) 层和分级层, 在 Si 基底上形成了 GaN 层, 在纯 GaN 层生长之前, Al GaN (铝镓氮) 是作为隔离层的 (图中未显示)。第二 Al GaN 层沉积于 GaN 层的顶部。在 Al GaN 的下面, 由立即产生的过剩电子引发压电极化效应, 这正是高导通的渠道。此一过剩的电子通称为二维电子气体 (2 DEG)。该名称也反映出在这一层有很高的电子迁移率。在栅极下面形成耗尽区 (过度区, depletion)。栅极的运行类似于 N 通道、加强式功率 Si MOSFET。阳极电压施加到该器件的栅极并接通它, 这一结构重复多次, 以形成功率器件。最终结果是基本原理简单、对电源开关提供了性价比优的巧妙解决方案。

为获得较高电压的器件, 加大了漏极和栅极之间的距离。因为 GaN 2DEG 的电阻率很低, 与硅器件对比时, 藉增加阻断 (blocking) 电压能力对电阻的影响小得多。

GaN FET 结构上能设计成在加强模或耗损模两种型式下运行。加强模的 FET 正常是断开的, 这样, 相对于漏 / 源极的正电压必须施加到栅极, 以便导通 FET; 耗损模 FET, 正常是接通的, 这样, 相对于漏 / 源极的负栅极电压必须施加, 以便断开 FET。在电源系统中, 耗损模 FET 存在问题, 因为由功率驱动系统之前, 必须将负的偏置电压加到 GaN 耗损模 FET 上。

关于这个问题的一个解决途径是, 将低电压的硅 FET 与耗损模 GaN FET 结合起来, 采用图 2 所示的栅极 - 阴极放大器 (cascode) 的电路结构。结果是以 GaN 器件改进的高压时钟 (clocking) 特性, 导致了硅栅极结构的坚固耐用性; 以及在耗损模 GaN FET 情况下, 当功率驱动 (通电) 时组合器件的断开。

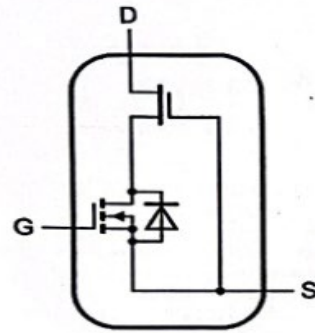


图 2: 低压硅 MOSFET 与耗损模 GaN FET 组合的共阴 - 共栅放大器电路结构

共阴 - 共栅放大器电路, 利用了具有较高栅驱动极限这一优点的 Si MOSFET 栅极结构, 匹配现有的 MOSFET 栅极驱动器 IC (集成电路) 和功率驱动时断开的耗损模 GaN FET。

GaN FET 的关键特点之一是其高的效率。这是由于低的串联电阻, 降低了导通耗损; 由于较快的开关时间, 降低了开关损耗; 以及其较小的反转回复电荷, 导致其反转回复损耗小。

利用普通的半桥升压变换器拓扑, 可比较 GaN FET 和 Si MOSFET 的效率 (图 3)。

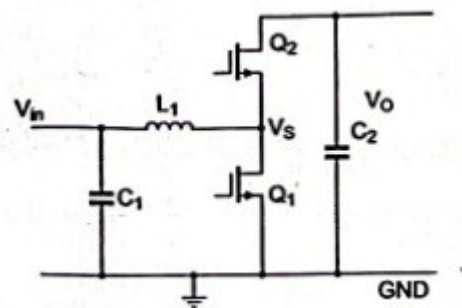


图 3: 通过互换晶体管 Q 和 Q2 的每一种型式, 用于对比 Si MOSFET 和 GaN FET 的效率的半桥变换器

升压变换器有 240V 的输入电压, 输出电压为 400V, 开关频率为 100KHZ。在高达 3500W 的功率范围内对效率和损耗进行了比较 (图 4)。

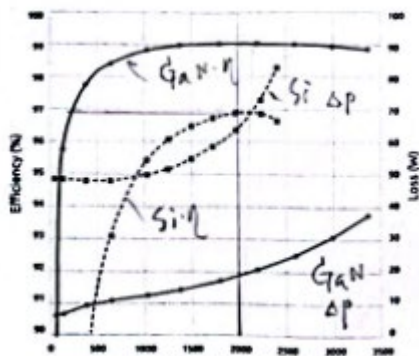


图 4: 在一等值电路中, GaN FET 和 Si MOSFET 之间效率和功率损耗的比较, 显示出 GaN FET 的优越性

GaN FET 对比 Si MOSFET, 运行效率约高 20%; 功率损耗减少 2/3 也即减少到 Si MOSFET 的 1/3。在 2000W 时, MOSFET 的损耗约为 62W, 而 GaN FET 的仅为 19W。这意味着冷却系统可以小型化。因此, 提高了升压变换器的容积效率。由于 GaN 的最大电压极限较高, 在接近 3500W 功率下做的测量不是很明确, 虽然如此, 但 GaN FET 的优越性还是毋庸置疑的。

3 GaN 适用于较高电压下起动

对于较高电压的应用, Nexperia 公司提供了 2 款 650V 的 GaN FET: GaN063-650WSAQ 和 GaN041-650WSBQ; 二者皆为 N 通道、正常断开的 FET。GaN063-650WSAQ 定额为: 操控于最大 650V 漏-源电压, 且能承受 800V (脉冲宽度小于微秒) 的瞬态电压, 定额在 25°C 下, 漏极电流 34.5A 和功率损耗 143W; 漏-源通态电阻典型为 50 毫欧 (mΩ), 最大极限是 60mΩ。而 GaN041-650WSBQ, 具有相同的 650V 最大漏-源电压定额; 相同的 800V 瞬态极限。其差别是在室温下操控最大漏极电流为 47.2A, 最大的功耗为 187W; 其典型的通态电阻为 35mΩ, 最大为 41mΩ。

Nexperia 的标准设计如图 5 所示。在半桥电路结构中,

利用了 GaN063-650WSAQ, 图中仅显示 FET 驱动器和半桥输出极, 以及相关的元件。

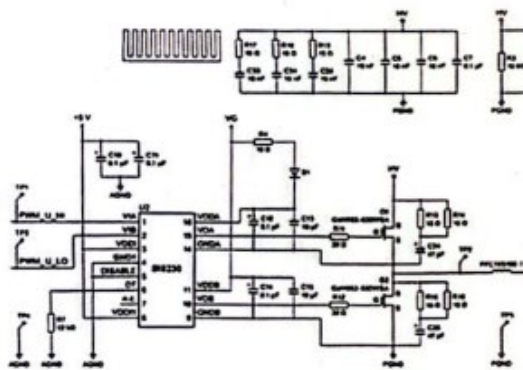


图 5: 利用 GaN063-650WSA GaN FET, 推荐的半桥功率级设计

图 5 显示的 Si 8230 高 / 低双绝缘栅驱动器, 这是用于驱动 GaN FET 的栅极, 栅极驱动器的输出, 经过 30Ω 栅极电阻连接于栅极, 这是对 GaN 器件所要求的。栅极电阻控制着栅极之间的充电时间, 影响到动态开关性能。在 FET 的漏-源极之间的 R-C 网络, 也有助于控制开关性能。GaN FET 的栅极驱动水平, 处于 0 到 10~12 之间。

GaN FET 的高开关速度 (一般为 10 到 11ns (纳秒) 范围内), 要求仔细的设计配置, 以达到寄生电感最小。并利用 RC 缓冲电路 (snubber), 以便缓冲由瞬态电压和瞬态电流导致的阻尼振荡 (rings)。在高压电源和接地之间, 设计中存在多重 RC 缓冲电路 (经过 19 的 R_{17} 和经过 35 的 C_{33}), 多重缓冲电路可减少由 GaN FET 和旁通网络相互作用引发的阻尼振荡。这些缓冲电路尽可能要靠近高侧 FET 的漏极, 它们是以表面安装式电阻和陶瓷电容组合而成的, 以达到引线电感最小。

由 R_4 、 D_1 、 C_{12} 和 C_{13} 形成的元件网络, 是高侧、栅极驱动器的自持系统 (bootstrap) 电源。 D_1 为快速的低电容二极管, 因为它的结 (junction) 电容有利于开关损耗减少; R_4 可限制充电的涌流, R_4 的阻值范围在 10~15Ω 为佳。

下转 157 页