

基于FPGA内部加法器的ps级DPWM实现

郭亚楠, 陈宗祥, 葛芦生, 刘雁飞

安徽工业大学电气与信息工程学院, 马鞍山 243000

摘要: 随着开关电源逐渐往高频化数字化方向发展, 开关频率的提高对数字控制的精度提出了越来越高的要求。本文提出了一种基于低成本FPGA内部加法器延迟原理的ps级DPWM设计方案, 可以在50MHz系统硬件晶振时钟下, 实现1MHz开关频率、15位分辨率的高精度DPWM。并通过手动布局对DPWM进行了线性优化, 减小了DPWM的非线性误差。最后, 以Altera公司低成本的Cyclone II系列FPGA芯片为数字控制核心实现对BUCK变换器的高精度数字控制。

关键词: FPGA, ps, DPWM

1 背景介绍

为了满足电子产品小型化的要求, 开关电源高频化数字化的发展趋势日益明显。数字控制相比较传统的模拟控制可以实现复杂的控制策略, 提高了系统的可靠性和灵活性^{[1-4][8]}。开关电源高频化带来的一个问题即数字控制精度问题日趋突出显现^[10]。DPWM的精度必须向着更高级别提升^{[1][4]}。

本文提出了一种基于低成本FPGA的新型产生DPWM^[6]的设计方案。该设计通过低成本的FPGA, 利用时钟信号在FPGA内部加法器中的进位延迟^{[5][7][9]}, 在系统外部输入时钟频率为50MHz、开关频率为1MHz的情况下, 可以产生15位分辨率, 可调精度达ps级(100ps以下)的高精度DPWM。

2 DPWM的结构和原理

基于加法器进位延迟原理DPWM的结构如图1所示, 15位的占空比输入信号被分成两部分, 6位MSB和9位的LSB。高精度延迟线模块即为此DPWM模型的核心部分, 另有时钟、开关频率设定及SR触发器等模块。

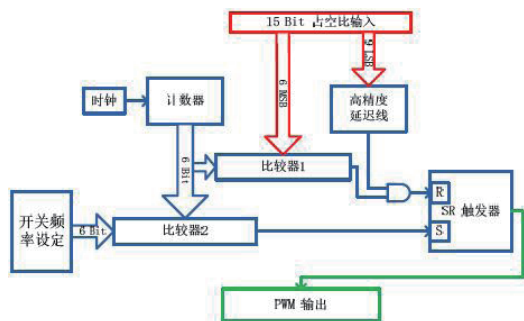


图1 加法器延迟 DPWM 原理框图

3 加法器进位延迟原理

高精度延迟线模块是基于加法器进位延迟 DPWM 的核心部分, 根据图2分析高精度延迟线环节的实现原理, 为了便于理解加法器进位延迟原理, 这里用3位LSB代替原来的9位LSB输入。

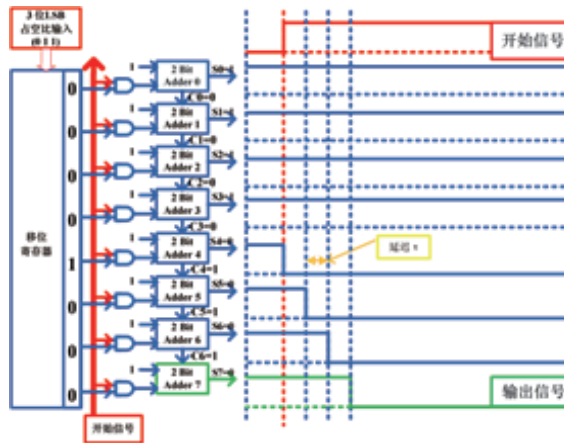


图2 加法器进位延迟原理图

首先, 将低精度DPWM模块的输出信号作为高精度延迟线模块的开始信号, 复加到8个与门的输入端, 与门的另一个输入为3位LSB经移位寄存器译码后输出的8位数字信号(其中, 只有1位为1, 其余全为0)。将移位寄存器的8位输出信号按位分别和开始信号进行逻辑与运算, 8个与门的输出分别作为8个全加器的一路输入, 全加器的另一路输入全部置1。即只有当与门输出高电平时, 对应的全加器才会产生进位输出, 使 $C_0=1$ 。这会直接导致

下一个全加器的输出信号 S 产生一个进位延迟。具体从哪个全加器开始产生进位输出，则由 LSB 的数值决定。

当开关频率为 1MHz，开关周期是 1 μ s，系统时钟频率为 50MHz，时钟周期是 20ns 时，由仿真得到的一个加法器进位延迟理论时间是 70ps。为了在一个开关周期内实现精度可调，对于输入占空比低有效位 LSB 来说，加法器延迟线模块在一个周期内的调节精度至少要达到 20ns/70ps \approx 286 $<$ 2⁹=512。也就是说 9 位的 LSB 可以产生的精度是 512，即可满足一个开关周期 286 个调节区间的要求。同样，输入占空比信号高有效位 MSB 应该满足的精度是 1 μ s/20ns=50。50 $<$ 2⁶=64，所以 6 位 MSB 也完全可以满足系统需求。所以使用 9 位的 LSB 和 6 位的 MSB 即可满足系统对控制精度的要求。

4 高精度 DPWM 的线性优化

虽然，在系统时序上的计算结果显示，系统已可以满足条件工作，但由于本设计的精度已达 15 位，DPWM 的可调范围达到了 ps 的级别，所以系统线性优化便成为了设计过程中必不可少的一步。

图 3 给出的是调节 9 位 LSB 得到的占空比输出的线性化结果。图中的线段是根据不同 LSB 对应的 DPWM 信号的输出下降沿采样出来的。可以看出，这段 DPWM 信号的输出结果线性化程度不甚理想，尤其是刚开始的非线性化程度相对较明显。图 4 是根据图 3 引出的一个误差曲线结果，纵坐标的单位是 μ s。可以看出，就系统自动生成的布局而言，其线性化的结果是不大令人满意的，需要通过进一步的优化来改善其线性化程度。线性优化的关键的步骤即通过手动布局来改善系统在 FPGA 内部的时序延迟。由于在自动布局布线时系统不会完全按照逻辑信号的时序对内部资源进行合理分配，所以 FPGA 内部的时序延迟不会达到最优，可以通过手动布局来优化这种延迟。

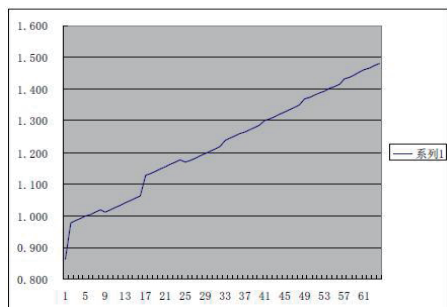


图 3 线性化结果

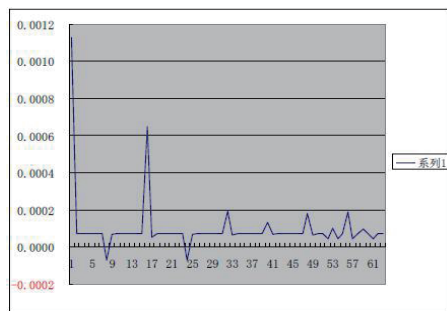


图 4 线性化误差曲线

为了检验线性优化的效果，本文对线性优化前与优化后的 DPWM 输出信号的下降沿的线性化情况进行了对比。如图 5 所示，DPWM 的输入信号占空比改变 0.01% 对应的输出信号的理论延迟时间是 280ps 左右。当占空比由 10.765% 增加到 10.775% 时，DPWM 的下降沿猛的由 5.5ns 增加到 6.5ns。对其线性优化后，可以看到输出信号的下降沿随着占空比的增加保持了一个相对平稳的上升趋势。优化后的线性化效果明显比优化前的优秀，这也证明了线性优化的有效性。

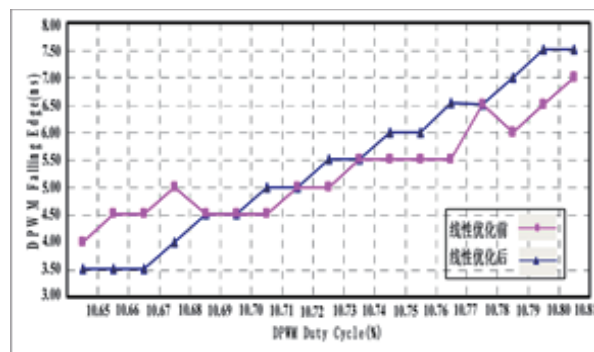


图 5 线性优化结果比较

5 高精度 DPWM 的实现

本文所设计 Buck 变换器具体参数为输入电压 $V_{in}=12V$ 、输出电压 $V_{out}=1.3V$ 、输出电流 5A、开关频率 $f_{switch}=1MHz$ ，开关周期 $T_{switch}=1\mu s$ ，开关管导通时间 T_{on} ：

$$T_{on} = D \cdot T_{switch} = (MSB)_O \cdot T_{clock} + (LSB)_O \cdot T_{delay} \quad (1)$$

图 6 为稳态时 ps 级 DPWM 产生的输出电压波形。图中分别显示了 12V 输入电压，1.3V 输出电压和频率为 1MHz 的 DPWM 信号。

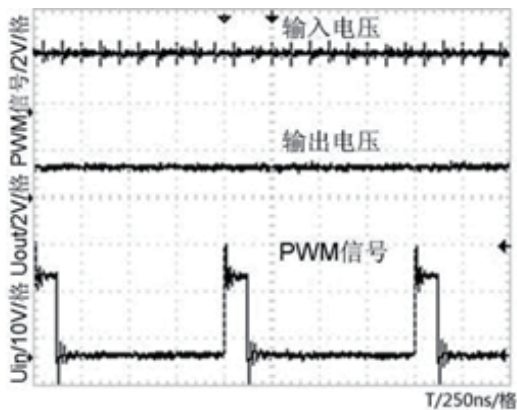


图6 稳态输出波形

系统时钟频率 $f_{clock} = 50\text{MHz}$ ($T_{clock} = 20\text{ns}$), 一个加法器进位延迟时间 $T_{delay} \approx 70\text{ps}$; 开关管导通占空比 $D = 1.3\text{V}/12\text{V} \approx 10.833\%$ 。开关周期内的导通时间

$$T_{on} = D \cdot T_{switch} = 10.833\% \times 1\mu\text{s} = 108.33\text{ns} \\ = 100\text{ns} + 8.33\text{ns} = 5 \times 20\text{ns} + 119 \times 70\text{ps}.$$

为了检验设计方案的高精度, 本文记录了4组ps级DPWM的波形。如图7所示。

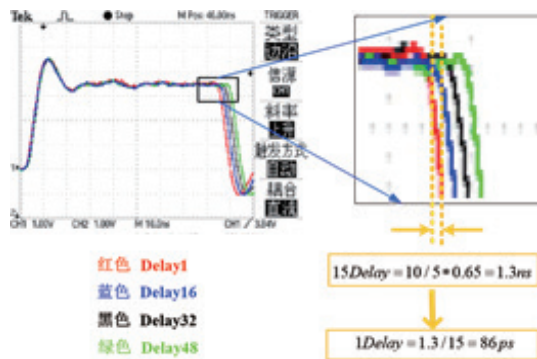


图7 ps级DPWM高精度对比

图7中, Delay1、Delay16、Delay32、Delay48分别为4组ps级DPWM信号。图中, Delay16的波形比Delay1延迟15个加法器延迟单元。由图7可知, Delay16波形的下降沿比Delay1的下降沿延迟了1.3ns, 所以1个加法器延迟平均时间应该是 $1.3\text{ns}/15 = 86\text{ps}$ 。

6 总结

论文首先介绍了该新型DPWM设计方案的结构和原理, 然后通过手动布局对设计方案进行了线性优化, 最后以Buck变换器为控制对象, 以Altera公司的DE2-70系列FPGA开发板为数字控制核心, 构建了数字控制实验平台。对高精度DPWM在DC/DC开关电源数字控制系统中的应用进行了实验研究, 实验结果证明了设计的可行性和高精度。

参考文献

- [1] 刘晓艳, 景亮, 洪益州. 基于FPGA的高精度数字PWM DC/DC控制器设计[J]. 电测与仪表, vol46. No517. pp77-80. Jan. 2009.
- [2] A. Soto, P. Alou, J. A. Cobos. Non-Linear Digital Control Breaks Bandwidth Limitations[J]. IEEE Transactions on Power Electronics, Vol. 53, No. 1, pp. 724-730, February 2006.
- [3] 白永江, 杨旭, 冯唯一, 王兆安. 基于FPGA的DC/DC数字PWM控制器研究[J]. 电力电子技术, 2007, 41(3): 89-91.
- [4] 李南. 基于FPGA的高频数字DC/DC变换器研究[D]. 上海大学硕士论文. 2008.
- [5] 王诚, 吴继华. Altera FPGA/CPLD设计基础篇[M]. 北京: 人民邮电出版社, 2011.
- [6] Yan-Fei Liu, P. C. Sen. Digital Control of Switching Power Converters[C]. IEEE Conference on Control Applications, Canada, August, 2005.
- [7] 王诚, 吴继华. Altera FPGA/CPLD设计高级篇[M]. 北京: 人民邮电出版社, 2005.
- [8] Benjamin J. Patella, Aleksandar Prodic, Art Zirger. High-Frequency Digital PWM Controller IC for DC-DC Converters[J]. IEEE Trans. Power electron, vol. 18, No. 1, pp. 438-446, Jan. 2003.
- [9] Wayne Wolf [美]. 基于FPGA的系统设计[M]. 北京: 机械工业出版社, 2006.
- [10] Hao Peng, Aleksandar Prodic, Eduard Alarcon. Modeling of Quantization Effects in Digitally Controlled DC-DC Converters [J]. IEEE Trans. Power electron, vol. 22, No. 1, pp. 208-215, Jan. 2007.