

# 脉冲以太网磁件和以太网连接器模块的布局考虑因素

普思电子公司

## 简介

普思电子的网络事业部提供广泛的网络和电信产品，包括我们的以太网磁件和以太网连接器模块（将以太网磁件结合到连接器中）。这两个产品类别都包括针对 100BASE-TX、1000BASE-T 和 2.5/5/10GBASE-T 系统优化的组件，包括 PoE、扩展温度和高隔离应用。

我们的以太网磁件符合 RoHS 标准，符合主要 PHY 供应商的要求，并针对所有主要的 LAN 收发器进行了优化。它们都提供符合 IEEE 802.3 的电路隔离，同时保持最苛刻应用所需的高标准信号完整性。我们的以太网连接器模块的设计和制造符合或超过 IEEE 802.3 标准。

我们开发此文档是为了帮助我们的客户在布置用于与以太网网络连接的印刷电路板 (PCB) 时使用这些以太网产品。它包括有关 PCB 布局的建议，以降低 EMI 并保持信号完整性。有关其他电路板布局帮助或特定设计指南，请联系您选择的 PHY 供应商。

## 一、PCB 设计的最佳实践

许多因素都可以有效地布局 PCB。复杂性、电路板空间以及所需设备的数量和类型通常会决定路由和放置策略。

### 1. 组件放置指南

元件放置会影响信号质量、发射和元件工作温度。执行电路板布局时，不使用 CAD 工具自动路由差分对，无需干预。在大多数情况下，差分对必须手动路由。以下指南为优化 PCB 设计过程提供了方向：

尽量减少与 EMI 直接相关的潜在问题，这可能导致系统无法满足适用的政府测试规范。

简化路由跟踪的任务。在某种程度上，组件方向将影响跟踪路由的复杂性。总体目标是最小化迹线之间的转弯和交叉。

优化以太网磁件和 RJ45 连接器之间的距离。它应保持小于 25 毫米（约 1 英寸）。有关放置这些组件的指导，请参阅图 1。

将 PHY 与以太网磁隔离；它们之间的距离需要为 25 毫米（约 1 英寸）或更大。在 PHY 供应商中，这一规则被认为是 EMI 考虑的良好设计实践。

使 PHY 设备和差分传输对距离 PCB 边缘至少 25 mm（约 1 英寸），直至以太网磁件。如果使用包含磁件的以太网连接器模块，差分对应布线到连接器模块的背面，远离电路板边缘。

最大限度地减少以太网 LAN 接口所需的空间量非常重要，因为其他接口将在以太网连接器模块附近的主板上竞争物理空间。以太网 LAN 电路需要尽可能靠近连接器。

有关基本放置距离指南，请参阅图 2。虽然它显示了两个差分对，但它可以推广到具有四个模拟对的 1000BASE-T 到 10GBASE-T 系统。以太网硅器件的理想位置将比以太网磁件大约一英寸。该图还说明了需要将 LAN 芯片远离电路板边缘和磁件模块以获得最佳 EMI 性能。

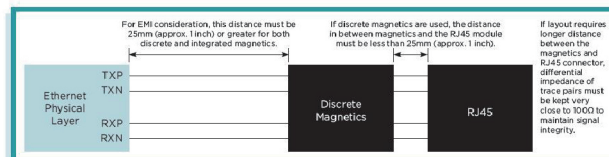


图 1. 脉冲以太网磁件和 RJ45 放置

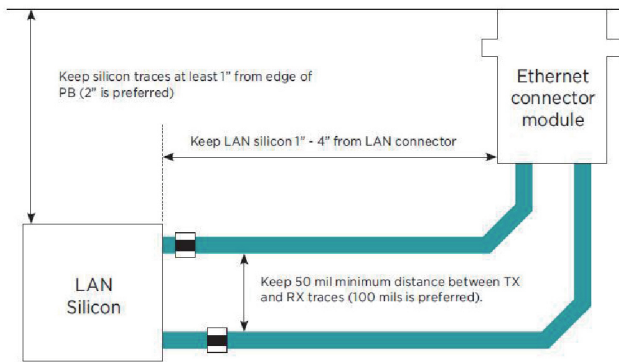


图 2. 常规放置距离

## 2. 迹线长度和对称性

关键信号走线应尽可能短，以降低其他信号受高频噪声影响的可能性，包括电源和地平面上的噪声。保持走线尽可能短也有助于减少电容负载。

差分对应布线尽可能短且对称。从控制器穿过以太网磁铁到连接器测量，差分对的总长度应小于 4 英寸。

差分走线（每对内）的长度应等于 50 密耳（1.25 mm）内并尽可能对称。差分对中的不对称和不等长度迹线导致共模噪声。

为减少对之间信号的串扰干扰，不同差分对之间的距离必须大于 50 密耳（1.25 mm）。此规则也适用于同一板上其他收发器电路的差分对。

应避免所有信号走线上的短截线，特别是差分信号对。见图 3。

在对中（例如，TD + 和 TD-），走线长度应彼此平行并且长度匹配。匹配长度可最大限度地减少延迟差异，避免共模噪声增加和 EMI 增加。

不应运行信号轨迹，使其穿过平面分割。请参见图 4。穿过平面分裂的信号可能会导致不可预测的返回路径电

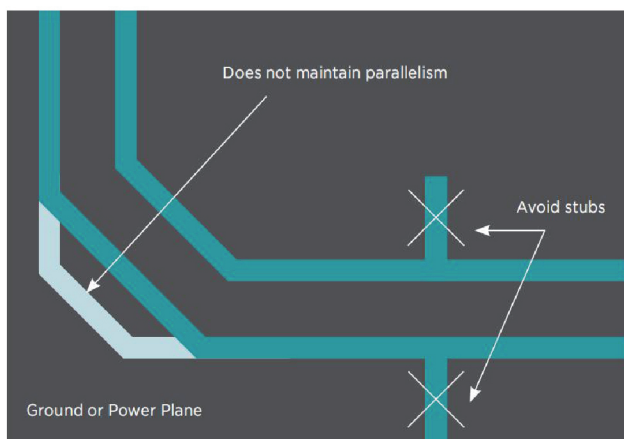


图 3. 差分信号对

流，并可能影响信号质量，从而可能产生 EMI 问题。

介质相关接口（MDI）信号走线应具有 50Ω 对地或 100Ω 差分控制阻抗。

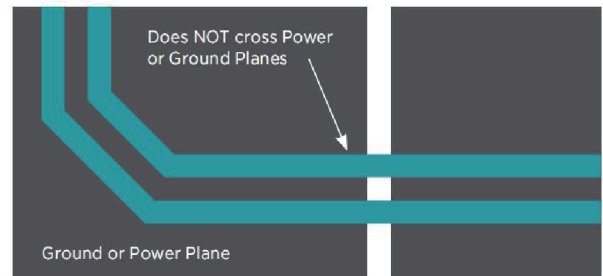


图 4. 差分信号对平面交叉

## 3. 差分对跟踪路由

为了最大限度地降低串行和传播延迟对高速信号路由的电路板部分的影响，请遵循以下跟踪路由指南：

将数字信号放置在远离模拟走线的位置，以帮助保持信号完整性。一个好的经验法则是，数字信号不应位于差分对的 300 密耳（7.5 毫米）范围内。

如果其他电路板层上的数字信号不能通过接地层分开，则它们应相对于差分对以直角布线。

虽然允许使用联动以太网连接器模块，但每个电路的信号也必须小心分开。

保持差分对内的最大间距为 10 密耳。

理想情况下，信号路径上不应存在交叉或通孔。如果可能，在单个层上布线整个迹线对。过孔存在阻抗不连续性，应最小化；最多每个迹线使用两个过孔。对于高速信号，请尽量减少角点和过孔的数量。如果需要 90° 弯曲，请使用两个 45° 弯曲，如图 5 所示。

将迹线远离电路板边缘的距离大于接地平面上方的走线高度。这允许迹线周围的场更容易地耦合到接地平面而不是相邻的导线或板。

请勿在晶体或振荡器下布设走线和过孔。这将防止与时钟耦合或从时钟耦合。作为一般规则，将来自时钟和驱动器的迹线放置在距孔径最小距离的位置，该距离大于最



图 5. 跟踪路由

大孔径尺寸。

不要在相关参考平面中的分裂上路由差分对。  
将差分端接元件尽可能靠近 LAN 芯片放置。

#### 4. 信号跟踪几何

控制走线 EMI 辐射的关键因素是走线长度以及走线平面上走线宽度与走线高度之比。为了最大限度地减少走线电感，接近地或电源层的高速信号和信号层应尽可能短而宽。理想情况下，该迹线宽度与地平面之比的高度在 1 : 1 和 3 : 1 之间。为了保持走线阻抗，如果两个层与电源或接地层不等距，则在从一个电路板层更改为另一个电路板层时，应修改走线宽度。

每对信号的差分阻抗应为  $100\Omega + 15\%$ 。如果特定工具无法设计差分走线，则允许指定  $55\Omega$  至  $65\Omega$  单端走线，只要两条走线之间的间距最小化即可。例如，考虑第一层上的差分走线对，宽度为 8 密耳（0.2 毫米），厚度为 2 密耳（0.05 毫米），间距为 8 密耳（0.2 毫米）。如果玻璃纤维层的厚度为 8 密耳（0.2 毫米），介电常数 ER 为 4.7，则计算出的单端阻抗约为  $61\Omega$ ，计算出的差分阻抗约为  $100\Omega$ 。

有必要补偿迹线到迹线的边缘耦合，当一对中的迹线距离小于 30 密耳（边缘到边缘）时，可以将差分阻抗降低多达  $10\Omega$ 。

电源和接地层良好的接地要求最大限度地降低互连中的电感电平，保持接地回路短路，信号回路区域小，电源输入绕过信号返回。这些做法将显著减少 EMI 辐射。以下指南有助于降低背板和主板的电路电感。

在没有中断的情况下在连续平面上布线。不要在分离电源或地平面上布线。如果地面或电源层上有空置区域，请避免在空置区域上路由信号。这将增加电感和 EMI 辐射水平。

将嘈杂的数字地与模拟地分开，以减少耦合。嘈杂的数字地可能会影响敏感的直流子系统。

将所有接地过孔连接到每个接地层，并将每个电源连接到所有等电位的电源层。这有助于降低电路电感。

在信号路径和返回信号路径之间物理定位接地。这将最小化循环面积。

尽可能避免快速上升和下降时间。具有快速上升和下降时间的信号包含许多高频谐波，这些谐波可以辐射 EMI。

在磁件模块下方拆分接地层。磁件模块的 RJ45 连接器侧应在其下方有底盘接地。

#### 5. 以太网磁场下的底盘

在分立的 LAN 磁件封装下面应该没有接地层，以便最

小化相对靠近 PCB 表面的元件之间的任何可能的耦合（如图 6 所示）。对于集成连接器模块，壳体接地平面应在组件下方运行，以连接连接器的屏蔽（如图 7 所示）。在连接器模块内，所有磁件元件都远离 PCB，以防止任何不必要的信号耦合。

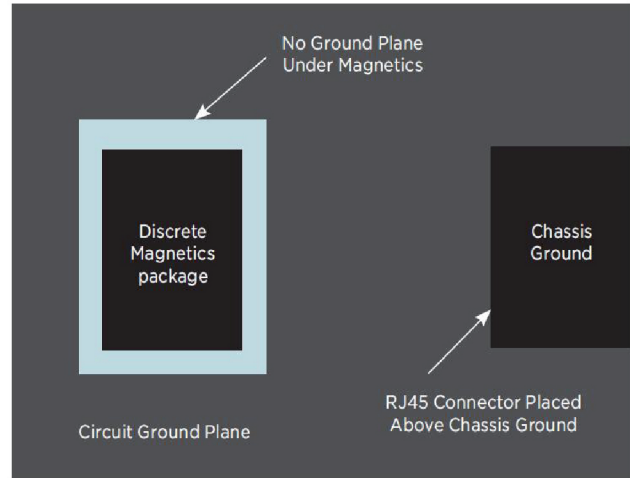


图 6. 分立磁体下面没有底盘

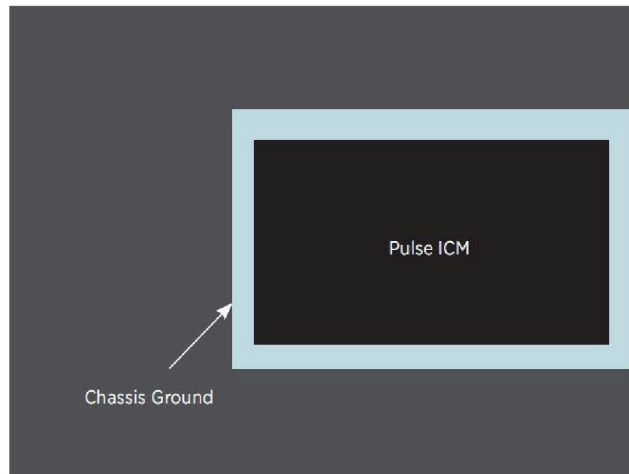


图 7. 壳体接地层应在集成连接器模块（ICM）下运行。

#### 6. 常见物理布局问题疑难解答

检查主板设计中局域网中常见的物理层设计和布局错误。

差分对中两条迹线的长度不等。不等式会产生共模噪声，并会使发送或接收波形失真。

差分对中两条迹线之间缺乏对称性。不对称会产生共模噪声并使波形失真。对于每个组件和通过一个跟踪遇到的组件，另一个跟踪应该遇到相同的组件或通过以太网



硅器件相同的距离。

以太网硅与以太网磁件之间的距离过大。FR-4 玻璃纤维环氧基板上的长迹线将衰减模拟信号。此外，如果长度超过 4 英寸，迹线中的任何阻抗不匹配都会加剧。

路由与其中一条差分走线平行且接近的任何其他走线。如果串扰进入接收通道，则会导致长电缆 BER 降级。进入发送通道的串扰可能会导致过多的 EMI 辐射，并可能导致长电缆上的传输 BER 不良。至少，其他信号应与差分走线保持 0.3 英寸。

将一对差分走线布线得太靠近另一对差分走线。退出以太网硅后，迹线对应与其他迹线对保持 0.3 英寸或更远。唯一可能的例外是在迹线进入或离开以太网磁铁，RJ45 连接器和以太网硅的附近。

在以太网芯片设计中重复使用过时的物理层原理图。终端和去耦可以从一个 PHY 到另一个不同。

不正确的差分走线阻抗。重要的是在差分对中的两条迹线之间具有  $\sim 100\Omega$  的阻抗。随着差分迹线变得更长，这变得更加重要。为了计算差分阻抗，许多阻抗计算器仅将单端阻抗乘以 2，但这并未考虑两条走线之间的边缘到边缘的电容耦合。当差分对中的两条迹线保持彼此靠近时，边缘耦合可以将有效差分阻抗降低  $5\Omega$  至  $20\Omega$ 。如果差分阻抗略微偏离目标，则短迹线将具有更少的问题。

## 二、特定于 1000BASE-T 到 10GBASE-T 对以太网应用的布局问题和配置

### 1. 端接平面和底盘接地

在 1000BASE-T、2.5GBASE-T、5GBASE-T 和 10GBASE-T 系统中，主要设计元素是收发器 (PHY)、以太网磁件和 RJ45 连接器。在许多情况下，以太网磁件和 RJ45 连接器可以用以太网连接器模块替换。因为传输线介质延伸到印刷电路板上，所以必须特别注意差分信号对的布局和布线。

1000BASE-T、2.5GBASE-T、5GBASE-T 和 10GBASE-T 设计的印刷电路板通常具有六层或更多层。在这些设计中，通常的做法是将中心抽头以太网磁件连接端接地，作为低频噪声的路径。根据整体屏蔽和接地设计，用于此目的的特定接地可能会有所不同。我们建议使用专用的终端平面中心抽头连接到终端平面。

端接平面通常在第 1 层制造，下方具有匹配的机壳接地层，如图 8 所示。端接平面与任何走线之间的间隙应至少为 50 密耳 (1.25 mm)，以防止在高压测试期间产生电弧。端接平面和机壳接地层组合具有一些电容，可以通过添加一个分立的 1500 pF 电容来增强。

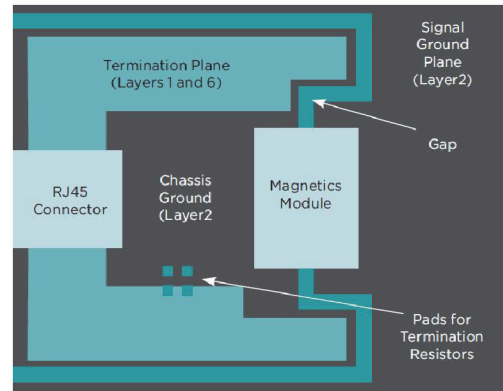


图 8. 端接平面和壳体接地

以太网连接器模块还包含端接平面、 $75\Omega$  端接电阻和 1000 pF 至 1500 pF 电容。如果要使用集成组件，则需要仔细评估其内部设计。电气参数、EMI 和高压测试结果等于或优于分立设计的特性。

还需要额外的电容来互连壳体接地和信号接地。建议的技术是使用几个不同的电容值 (例如，两个 1000 pF，一个 4.7 mF 和一个  $10\mu\text{F}$ )。根据可用的电路板空间，应在以太网磁件的每一侧放置一组电容器。可以对该互连方案进行修改。

通常，没有接地层应在 TX 和 RX 差分对下，以太网磁件下或 RJ45 插孔下延伸。在共模电容器用于 EMI 抑制的情况下，接地平面可能位于 TX 和 RX 信号下方；但是，平面不得超出电容器。在设计 4 层板时，地平面应该存在于第 4 层，假设差分对布线在第 1 层上。在 2 层板上，地平面可以位于第 2 层，与 TX 和 RX 相邻的层信号对。在任何情况下，以太网磁件、RJ45 连接器或以太网磁件和 RJ45 连接器之间都不应存在地平面。见图 9。

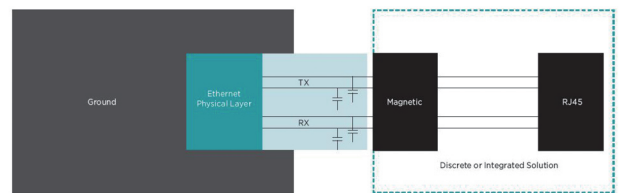


图 9. 接地平面

## 三、特定于以太网供电 (PoE) 应用的布局问题和配置

### 1. 隔离和端接根据 IEEE 802.3af 和 IEEE802.3at 标



准，所有 PoE 设备都需要满足某些隔离要求。此外，应根据 FCC 和欧洲 EN 法规的规定考虑 EMI 限制。

### 2. PoE 最佳实践

建议分层地平面。如果可能，将连接器 / 分立模块接地引脚连接到壳体 / 模拟地。

保持 PHY 到连接器 / 分立模块的信号走线尽可能短。如果走线超过 3-4 英寸，请密切注意线路阻抗不平衡。

建议使用 Bob Smith 端接 (BST - 75Ω 电阻和高压电容到机壳接地) 来终止电缆侧中心抽头，以获得最佳 EMI 性能 (包含在大多数连接器解决方案中)。有关进一步的布局注意事项，请参阅 PHY 制造商的应用说明。

为了在 NEMA FR-4 多层 PCB 的两个相邻层之间保持 1500Vrms 隔离，建议隔离厚度至少为 15 密耳。这为 hi-pot 要求提供了安全余量。

布线地线和电源信号线时要特别小心。

### 3. PoE 应用电路

图 10 和 图 11 显示了 100BASE-TX，以及 1000BASE-T、2.5GBASE-T、5GBASE-T 和 10GBASE-T PoE 应用。

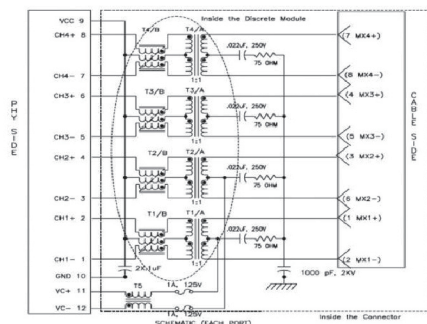


图 10. 100BASE-TX PoE 应用电路

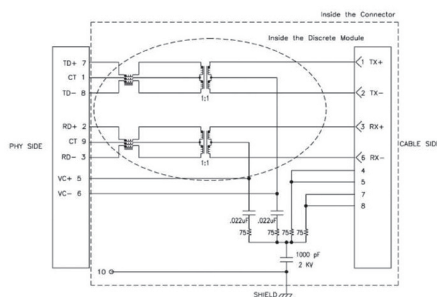


图 11. 1000BASE-T、2.5GBASE-T、5GBASE-T 和 10GBASE-T PoE 应用电路

# 人体工程学设计 使连接器组装更安全更高效

TE 家电应用工程师 David Erickson

适当的工作场所和连接器设计可减少工人压力并提高产品可靠性。

连接器组件是设备制造中的关键功能。许多连接器用于洗衣机、干衣机、冰箱、烤箱和空调系统的电源和控制电路。近年来，连接器组装的任务变得更加复杂。这是因为用于制造更智能设备的先进传感器、控制和通信 / 网络功能也需要更多不同类型的连接器。虽然机器人和自动化可用于某些连接器组装任务，但许多连接器仍然是手工组装的。主动识别影响工人绩效的人体工程学问题有助于减少人为错误，同时还可提高工作场所的效率和安全性。通

过专注于人体工程学——优化工作环境的设计和布置的科学——制造商可以发现问题区域，实施最佳实践，并选择合适的连接器设计。目标是减少工厂中的人为错误和现场的产品维修。

### 专注于连接器组件的人体工程学

在配对两个连接器的组装过程中，当工人进行数小时