

# 高频DC-DC功率变换器的平面电感器的微制造

Elias Haddad<sup>1</sup>, Christian Martin<sup>1</sup>, Bruno Allard<sup>1</sup>, Maher Soueidan<sup>1</sup>, Charles Joubert<sup>1</sup>, 冯文飞 编译

<sup>1</sup> 法国里昂大学

## 1 介绍

电感器是射频（RF）集成电路的基本元件。大量的RF功能通信设备（如移动电话或无线以太网）需要收发器、滤波器和功率放大器，其中电感器是关键组件。近来，随着电子元件小型化的推进，催生了越来越多的便携式设备和高能耗配件。

这些设备中使用的嵌入式系统面临能源短缺，导致设计人员更多地采用功率电子变换器以实现动态电压和频率缩放。为了提高整个系统的效率，一旦可能，线性低压降变换器都可以用电感型DC-DC变换器和/或电容型DC-DC变换器来代替。从那时起，便携式电子设备对功率变换器的需求产生了极大的兴趣。

为确保实现相对较大的工作范围和较小尺寸的设备，效率和占地面积（或体积）是主要设计标准。

这些应用使用通常需要以下特性的开关电源（SMPS）或电感式DC-DC变换器：1W,  $V_{IN}=3.6V$ ,  $V_{OUT}=1V$ ,  $I_{OUT}=1A$ 。

无源器件占据了大部分功率变换器的占地面积，即使该器件进行了最小面积优化。因此，对于这个功率范围，封装级系统（SiP）（图1）比单片集成（也称为片上系统）

更合适。

然而，由于被动元件尺寸的困扰，系统级封装应用仍然面临小型化问题。因此，通过DC-DC变换器的开关频率增加到10MHz-100MHz频率范围内，滤波器无源元件的尺寸可以显著减小。因此，无源元件的占地面积可以减小到10mm<sup>2</sup>以下。在这种情况下，对于典型的1W DC-DC变换器，输出滤波器无源器件的目标电感值约为25nH。

由于这种系统将被放置在一个小型封装，所以平面电感结构是首选。而且，这种平面器件具有更好的散热管理和更高的功率密度。

尽管对平面电感的研究集中在将空心电感整合在硅芯片上，但将铁氧体磁性衬底应用于平面电感可以增加电感值，而不会增加线圈和接地层之间的杂散电容。在我们的应用中，表面积是设计电感器的关键点，因为目的是将电感器集成在SMPS裸片（面积为3mm<sup>2</sup>）的顶部。

本文介绍了一种基于Flux2D仿真器的有限元方法（FEM）仿真的设计方法，将介绍设计方面和边界条件，并提出具体的品质因数（MHz/mΩ·mm<sup>2</sup>），以评估针对DC-DC变换器应用的电感性能。紧接着，将详细描述使

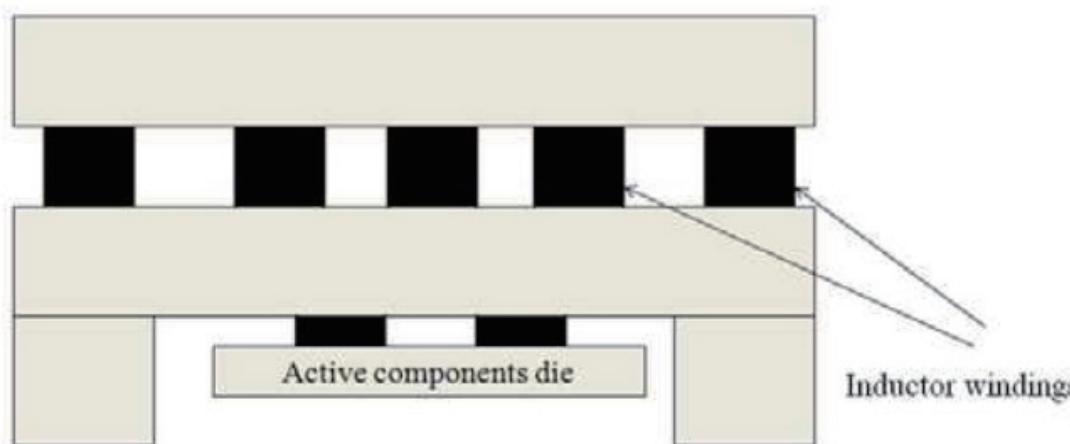


图1 封装级系统的混合集成

用电镀技术的制造工艺。最后，将介绍微制造电感器，并在最后一节中展示其测量特性。

## 2 背景

无源器件（电感器和电容器）在开关电源中起主要作用，因为它们起到了滤波功能。但是，它们占据了系统数量的 30%。在这样的变换器中，电流和电压波形远离正弦波。例如，在降压变换器中，施加在输出电感器上的电压和电流波形分别是正方形和三角形。在这个应用中，输出电感被用于降低输出电流纹波，定义如下：

$$\Delta I_L = \frac{\alpha(1-\alpha) \cdot V_E}{L \cdot F} \quad (1)$$

其中 ( $L$ ) 是电感值, ( $F$ ) 表示开关频率, ( $V_E$ ) 是输入电压, ( $\alpha$ ) 表示占空比。因此, 通过提升频率, 电流纹波可以保持恒定, 而且具有较低的电感值。对于 1W-1A 的 DC-DC 变换器和 100MHz 开关频率, 电感值可估算为 30nH。

这种电感器可以使用无芯技术制造, 但需要占用大面积的空间。而使用磁性材料可以在较小的表面积上制造具有相同电感值的电感器。

由于这种电感器的位置应尽可能靠近电源和指令电路, 因此必须使用磁路来限制电磁干扰 (EMI)。图 2 描述了三种情况下的定性磁场分布：(a) 无芯感应器（无磁性材料）, (b) 单层（底面）铁氧体磁性材料和 (c) 双层铁氧体磁性材料（后两种电磁干扰被降低）。我们可以在图 2 (b) 和 (c) 中观察到磁场被限制在磁场内。

考虑到低电流纹波（取决于在开关频率下计算的电感值），这种电感器中的电流可以被认为等于其平均值。这就是为什么直流电是造成绕组损耗的主要原因，因此必须对绕组的特定几何参数进行优化，以降低低频率下的焦耳效应损耗。

100MHz 和直流电阻下的电感值采用有限元方法来计

算。详情下面会介绍。

## 3 设计方法

### 3.1 有限元法 (FEM) 仿真

磁性元件的电磁行为的设计和分析需要使用有限元方法软件, 因为对于电感和磁场计算没有解析公式。

基于有限元方法, 像图 3 所示的方形平面电感器这样的三维 (3D) 结构需要大量的存储器, 并且由于需要高密度网格, 所以计算时间变得不切实际。由于通常的指导方针表明密度网格化取决于所有材料中的趋肤效应, 因此频率的增加意味着更高的网格密度和计算时间的增加。这种技术不能在设计过程中使用。

尽管这种结构是三维形式, 但我们可以假设一个几何近似来简化我们的研究。这种方法是通过将矩形导体改变成圆形和同心圆来修改 3D 结构。通过假设这种近似, 产生了如图 4 所示的轴对称。

通过假设这些近似值, 这种平面电感器就能在二维空间中建模, 如图 5 所示, 这将就能够加速仿真。因此, 就可以评估几何参数的影响。

图 5 描述了该模型的尺寸和几何参数。匝数、匝宽、匝间距、内部间距、磁性基板厚度（本文中我们使用钇铁石榴石 (YIG) 作为磁性基板）和铜厚度被纳入考量。仿真采用 Flux2D 软件进行。

关于电感器的描述, 仅在一半电感器上描述导体横截面和磁性衬底厚度。磁场的边界条件是切向的, 而对于 1GHz 以下的频率, 电容行为将被忽略。

等效 R-L 电路可以被计算出来, 如图 6 所示。几何和频率变化对磁场变化的影响是可观察的。电阻和电感值分别由有功 (P) 和无功 (Q) 功率计算如下：

$$R = \frac{P}{I_{RMS}^2} \quad L = \frac{Q}{\omega \cdot I_{RMS}^2} \quad (2)$$

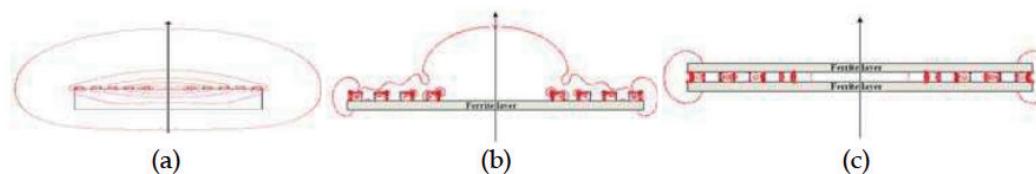


图 2 定性磁场分布：(a) 无芯电感（不含磁性材料）, (b) 单层（底面）和 (c) 双层铁氧体磁性材料

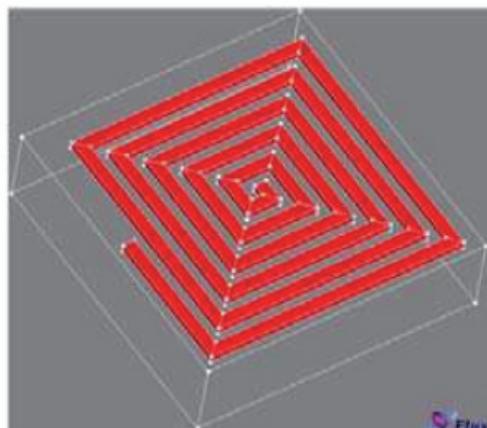


图 3 平面电感的三维演示

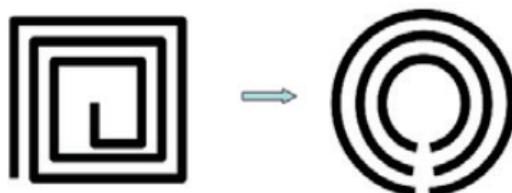


图 4 几何近似的描述

其中  $R$  是电感电阻,  $I_{RMS}$  是 RMS 电流值,  $\omega$  是角频率。为了评估几何参数的影响, 我们考虑了该磁性材料的分段线性 B-H 曲线。在线性区域, 恒定的相对磁导率被设定为 25, 而在饱和区域, 通量密度低于 0.25T, 相对磁导率等于 1。磁性饱和度和相对磁导率由 3.2 节中描述的表征确定。铜也被认为是电阻率为  $1,7 \cdot 10^{-8} \Omega \cdot m$  的纯粹材料。趋肤效应也被纳入考量, 因为它有助于提高电感器在高频下的串联电阻。

频率的选择对计算电阻和电感值很重要。在许多应用

中, 质量因子 ( $Q$ ) 通常被用于评估结构的交流性能。在这种应用中, 电流和电压波形是正弦曲线, 并且根据等式(2) 使用了两个信号的频率。

$$Q = \frac{L\omega}{R} \quad (3)$$

如第 2 节所述, 电流和电压波形远离正弦波。由于电感器设计表用于减小电流纹波, 所以电感器激励电流波形具有相当大的直流分量。因此, 电感直流电阻是造成损失的主要原因。另一方面, 为评估电流纹波, 还要计算开关频率 (100 MHz) 下的电感值。

在我们的应用中, 用到了一个优化因子 (等式 (4)), 包含了直流电阻 ( $R$ )、电感值 ( $L$ ) 和占位面积 ( $S$ ), 来比较不同的模型, 并评估一个好的功率电感性能。

$$MF = \frac{L_{100MHz}(nH)}{R_{DC}(m\Omega) \cdot S(mm^2)} \quad (4)$$

从这个参数研究中可推导出以下指导原则:

- 与具有相同绕组的空芯电感相比, YIG 使电感值增加了一倍, 并减少了电磁干扰。此外, 该仿真还表明, YIG 厚度增加到 200 微米以上对电感值只有轻微的影响。
- 铜的厚度对电感的影响非常小, 但是会降低直流电阻。
- 增加匝数之间的间距会降低绕组间的磁耦合, 从而降低电感值。
- 拓宽导体会降低电感值, 但由于 RDC 的下降更为显著, 因此对导数的总体品质因数有积极影响。
- 电感值会随着匝数的增加而增加, 但质量因数保持不变。

这可以通过这样一个事实来解释, 即增加串联电阻, MF 的改善会被减慢。

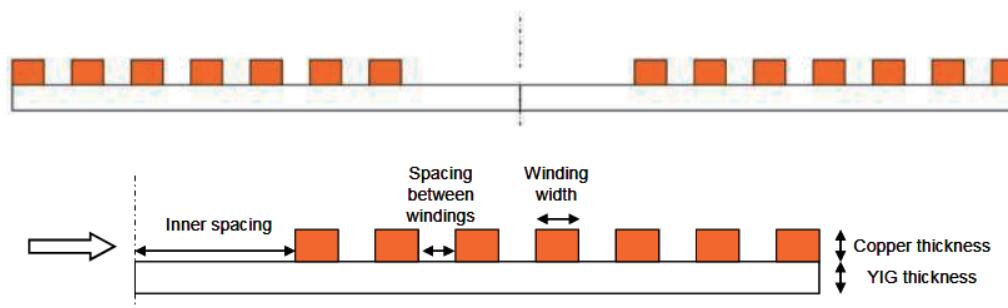


图 5 简化的 2D 电感的展示



图 6 该电感的等效 R-L 电路

- 缩小内部间距意味着增加负磁耦合，从而降低电感值。

仿真可评估我们的设计，考虑到技术参数的限制，最佳的几何形状对最高的质量因素有贡献。随后，我们设计了一个面积为  $3\text{mm}^2$  的平面螺旋电感器（变换器可允许的最大表面积）。电感器有四匝，匝宽为  $75\mu\text{m}$ ，匝间距为  $75\mu\text{m}$ ，内径为  $200\mu\text{m}$ ，导体厚度为  $50\mu\text{m}$ 。目标电感值为 30 到  $40\text{nH}$ ，串联电阻尽可能低。铜的厚度和宽度被限制在干膜光刻胶的最大分辨率。用作机械支撑的磁性材料具有  $500\mu\text{m}$  的厚度。尽管如此，该电感设计已经达到理论极限。

### 3.2 磁性材料表征

为了表征磁性材料的特性，建立了两个特定的测试台。两种测试都需要环形材料，以便根据从磁芯的几何特性的电气量中推导出磁性。

获得的材料特性（相对磁导率  $\mu_R$  和磁饱和度 BSAT）被使用在 FEM 仿真中。

#### 3.2.1 磁滞图

B-H 曲线是使用磁滞曲线记录仪测量的，这个记录仪是我们实验室用变压器方法开发的。所用的工作台如图 7 所示。样品的内径和外径是相等的，以便在磁芯中呈现均匀的磁场。磁滞图用于测量频率高达  $20\text{kHz}$  的 B-H 周期（次回路和主回路）。

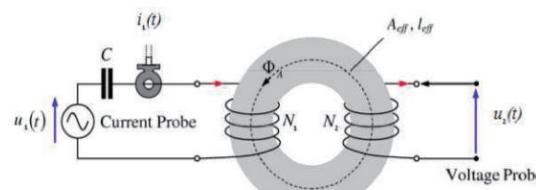


图 7 B-H 测量的原理

磁场由初级绕组施加，并由电流计算。通量密度是利用次级绕组上的感应电压获得的。从等式 (5) 给出的安培定律开始，如等式 (6) 所述，可以从初级绕组的电流推导出磁场。通量密度可以由等式 (7) 计算。这种方法在低频率下使用。得益于趋肤深度的方程式，最大频率才得以估算。

$$\oint_{l_{eff}} \vec{H} \cdot d\vec{l} = \sum_{i=1}^n N_i \cdot i_i \quad (5)$$

$$H(t) = \frac{N_1}{l_{eff}} \cdot i_1(t) \quad (6)$$

$$B(t) = \frac{1}{A_{eff} \cdot N_2} \cdot \int u_2(t) \cdot dt \quad (7)$$

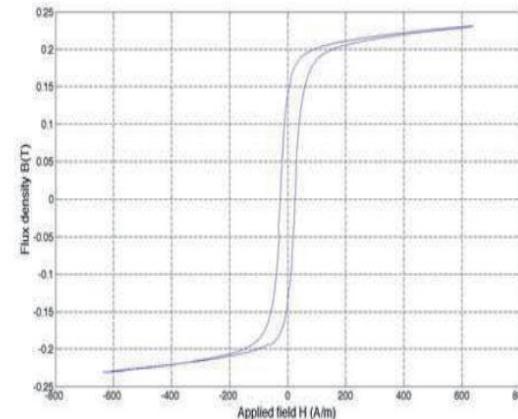


图 8 B-H 曲线案例

$N_1$  和  $N_2$  表示初级侧和次级侧的匝数。

$L_{eff}$  和  $A_{eff}$  是环形样品的几何特征，分别为平均长度和截面。

几种铁氧体材料已经进行了测试，并与数据表进行了比较。由于磁性铁氧体材料的性能不受机械加工的影响，采用 YIG 材料的环形样品由铁氧体板加工而成。图 8 显示了在  $25^\circ\text{C}$  环境温度和  $1\text{kHz}$  正弦场激励下所测得的 B-H 曲线。饱和感应等于  $0.2\text{T}$ ，且可以观察到超过  $200\text{A/m}$  的磁激励。

通过使用等式 (8)，可以从之前的 B-H 周期中推导

材料的渗透性。

然而，这种表征方法并不适用于高频率。复磁导率将根据 3.2.2 节中的阻抗测量来确定。

$$\mu_{r_h} = \frac{1}{\mu_0} \cdot \frac{\partial B}{\partial H} \Big|_{H=h} \quad (8)$$

### 3.2.2 阻抗测量

交流磁场中的磁导率被定义为复数相对磁导率 ( $\mu_{complex}$ )。复相对磁导率 ( $\mu'$ ) 的实部表示由交流磁场存储在磁性材料中的能量的量。

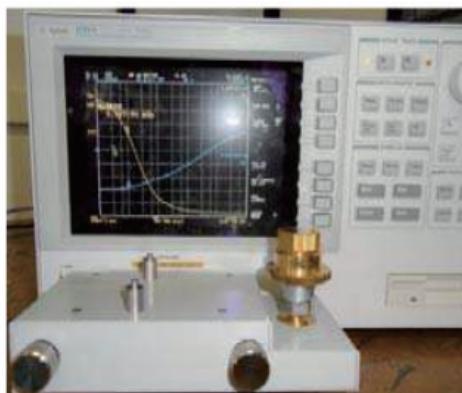


图 9 阻抗分析仪 Agilent 4294A 和磁性模块

另一方面，虚部 ( $\mu''$ ) 为交流磁场的能量损失。复相对磁导率可以通过阻抗测量（等式 9）来计算。

$$\mu_{complex} = -j \cdot \frac{Z \cdot l_{eff}}{2 \cdot \pi \cdot f \cdot \mu_0 \cdot S} = \mu' - j \cdot \mu'' \quad (9)$$

阻抗分析仪 Agilent 4294A 和磁性材料表征专用适配器联合使用，因此可以在更宽的频率范围 (40Hz-110MHz) 内执行磁导率测量（图 9）。测量遵循手册中介绍的和制造商推荐的设置。

在 100kHz-110MHz 频率范围内对采用 YIG 材料的环形样品进行了表征。复阻抗 (模块和相位) 如图 10 所示。

根据这一测量结果，用等式 (9) 计算出复相对磁导率，如图 11 所示。从斜率的变化可以观察到 3MHz 的行为变化。这种变化可以用图 11 所述的磁导率变化来解释。

结果与文献 [Kedous] [Siblini] 具有良好的对应性。

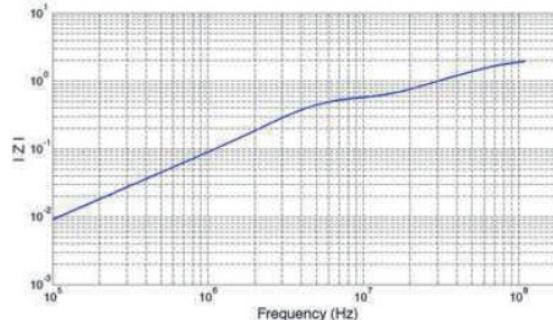


图 10 阻抗模块（上）和相位（下）

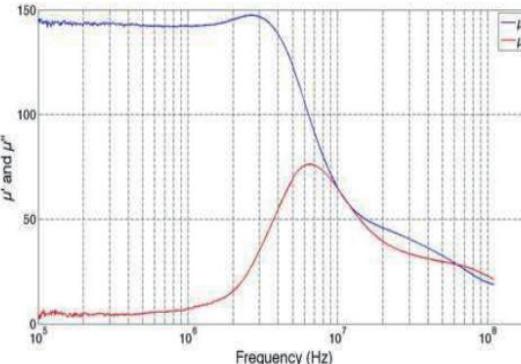


图 11 图 11 中详细的复相对磁导率 ( $\mu'$  和  $\mu''$ )

高达 3MHz 的磁导率的实部是相对恒定的，相当于 140，而且减少了更高的频率。在高频下，磁场是不均匀的并且在材料中扩散，这意味着磁导率在降低。这个现象取决于角频率 ( $\omega$ )，材料电阻率 ( $\rho$ ) 和磁导率 ( $\mu$ )。可以用趋肤深度 ( $\delta$ ) (等式 10) 的表达来估计。在 100MHz 时这种磁导率的降低达到 25。

$$\delta = \sqrt{\frac{2 \cdot \rho}{\omega \cdot \mu}} \quad (10)$$

这个测试台可以在很宽的频率范围内计算磁导率。低激发水平允许识别  $\mu'$  (磁导率的实部) 以填充仿真参数。

#### 4 技术工艺

在 100MHz 开关频率下，所需的电感值较小，并且使用微制造技术在 SIP 上集成电感器可能是实用的。尽管以前在功率变换应用中使用集成的微型电感器已经做了大量的工作，但是这项工作的大部分重点都集中在小于 10MHz 的频率范围。为了更实用，微型电感器技术必须以高成本效益的方式实现，这通常取决于组件的尺寸和制造中使用的步骤的数量。因此，使用低温和简单技术的电镀技术来沉积厚铜导体，从而能够在高电流处理 (1A) 下使直流电阻最小化。与 [Orlando] 相比，它在相对较大的区域和相对更复杂的工艺中，实现了更高的电感与直流电阻比率。其他技术可以使用，但是它们表现出若干技术缺点 (复杂性；高温工艺，成本)。[Nakazawa] 使用溅射技术沉积薄层磁性材料。这种技术不具有成本效益，因为它允许较低的沉积速率 (每小时 1-2 微米) 并且高度依赖于温度。溅射技术也可以用来沉积导体线，但同样不方便。虽然铜可以通过化学气相沉积 (CVD) 或化学沉积技术进行沉积，但电镀仍然是沉积厚铜导体的主要技术，因为它在低温下，以简单而低成本的方式，提供比其他方法更高的沉积速率、良好的延展性和高附着力。

在本节中，我们会详细介绍这种制造工艺。为了电镀铜绕组，沉积了金属薄层 (双重用途——导电，并且对磁性衬底具有较高粘附力)。使用蒸发技术将钛 500Å / Cu1500Å 粒晶层被选择沉积在磁性衬底上 (图 15)。这种选择可最小化粒晶层 / 电镀铜的界面处的应力，特别是由材料 CTE 的差异所造成应力。所使用的磁性材料是厚度为 500μm 的固体基板。

然后使用 UV 光刻 (图 12, 图 16) 将干膜光刻胶层压并图案化 (图 12, 图 16)。干膜光刻胶是环氧树脂 (SU-8, ..) 的替代解决方案，因为它需要更少的工艺步骤来处理。

铜绕组使用电镀技术沉积 (图 17)。由于在环境温度 (25°C) 下实现起来非常简单，因此这个过程的成本效益很高，并且使我们能够在合理的时间内达到了较高的铜厚

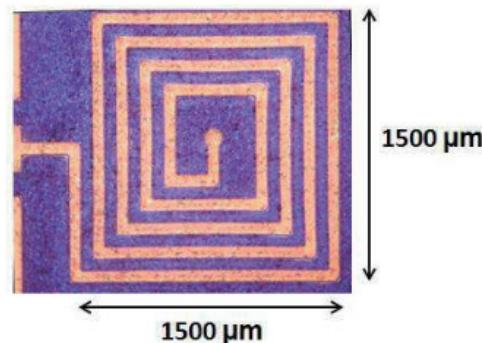


图 12 图案化的电感器绕组

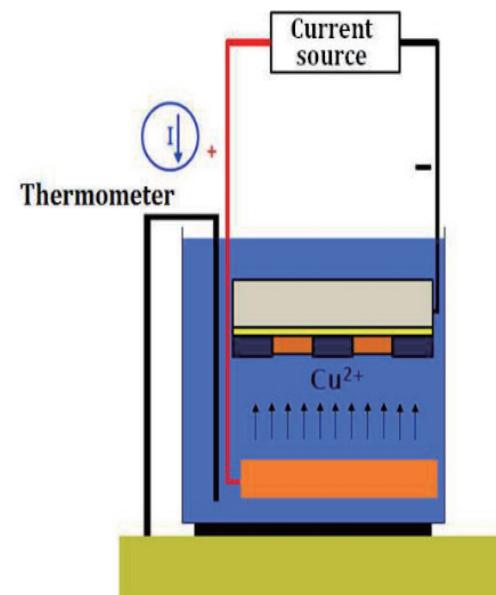


图 13 铜电镀工作台

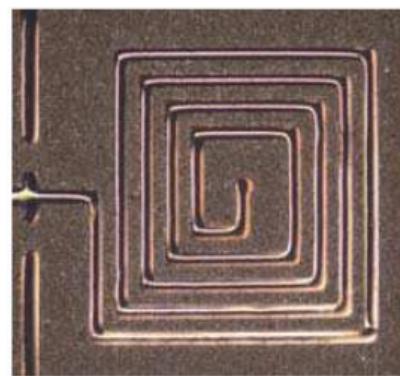


图 14 去除干膜和粒晶层后的隔离电感器绕组

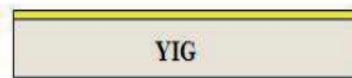


图 15 Ti / Cu 种晶层的沉积



图 18 去除干膜和种晶层



图 16 电感绕组图案化

度（铜沉积速率约为  $15\mu\text{m}/\text{h}$ ）。铜沉积是在一个水平电池中进行（图 13）。使用的电流密度在  $10\text{-}20\text{mA/cm}^2$  范围内（根据样品的有效面积计算）。结果，样品上的沉积物高度是均匀的，电镀的铜表现出良好的结晶质量。

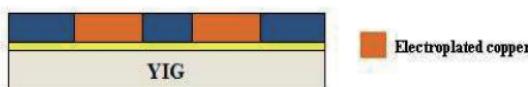


图 17 铜电镀填充模具

电镀完铜绕组之后，将剩余的干膜去除，并对晶种层进行湿蚀刻以隔离线圈（图 14，图 17）。

## 5 实验结果

图 19 为所制造的微电感器的 SEM 图像。电感器具有高纵横比：宽度为  $75\mu\text{m}$ ，铜厚度为  $50\mu\text{m}$ ，足以承受  $1\text{A}$  的电流。

为了进行电气特性分析，进行了键合（图 19 右），以将内部端子连接到电感器的外部凸块触点。器件测量使用  $10\text{MHz}$  至  $1\text{GHz}$  的矢量网络分析仪和地 - 信号 - 地 (GSG) 探头进行。已经测量了双端口散射参数 (S 参数)，然后将其改变为导纳参数 (Y 参数)。随后根据键合和去嵌入后的所得  $\text{Y}_{11}$  参数来计算螺旋电感器的电感值 L。其表达式

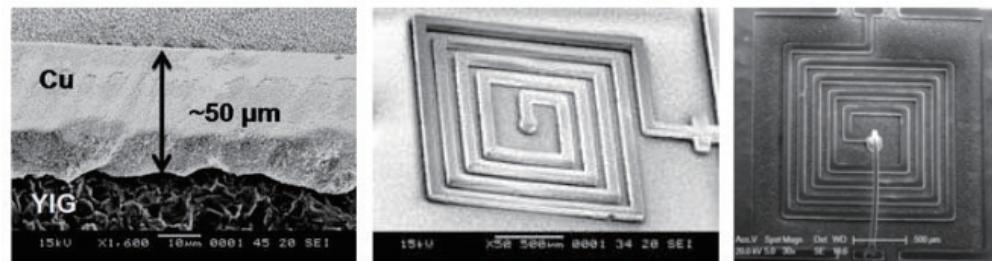


图 19 微制造的电感器的 SEM 图像

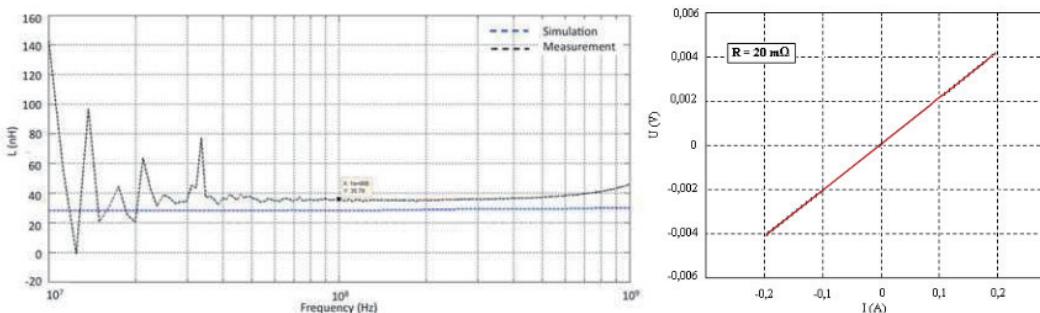


图 20 测量和仿真电感 (左) 和测量直流电阻 (右)

由下式给出：

$$L = \frac{1}{\text{Imag}(Y_{11})} \cdot \frac{1}{2 \cdot \pi \cdot f} \quad (11)$$

图 20 为从 10MHz 到 1GHz 的仿真和测量电感。参考等式 1，在保持电感值不变的情况下增加频率会导致较低的电流纹波，从而获得令人满意的电压纹波。但是，由于电感器将集成在 100MHz 开关频率的 DC-DC 变换器中，因此我们对 100-200MHz 频率范围感兴趣。而且，我们在 100MHz 测量了一个 36nH 的电感值。低频（10-50MHz）的扰动是由于矢量网络分析仪被用于测量更高频率的 S 参数。由于通过近似进行 2D 仿真，在 100MHz 时测得的和仿真的电感值之间有 15% 的差异。使用源测量单元也测量了直流电阻，我们获得了 20mΩ 的值（图 5）。与我们的应用相对应的品质因数等于 0.6nH/mΩ·mm²。与 [O'donnell] 相比，在具有相同匝数和较小面积的电感器方面，我们已经达到较高的品质因数。[奥兰多] 的方法实现了更高的电感与直流电阻比，但是面积相对较大，达到了  $5.6 \times 5.6 \text{ mm}^2$ ，工艺也相对复杂。因此，我们的电感设计与高磁导率磁性材料相结合，使我们能够取得比文献更好的结果。

阻抗测量更适合于 1kHz 至 100MHz 的频率范围。这个试验台的开发正在进行中。

## 6 结论

由于所需的电感值很低 ( $\leq 50\text{nH}$ )，所以开关频率高达 100MHz 的 DC-DC 变换器的开发可实现电感器集成。这意味着与 nomad 应用的混合集成相比，它具有更小的占地面积和更低的轮廓。

本章介绍了使用铁氧体磁性材料的平面微型电感器的开发情况，展示了基于有限元方法和专用软件的设计方法。根据几何近似，比较研究被用于评估几何参数的影响。并且根据电感器的规格定义了一个设计。

从磁滞图和阻抗测量中提取出磁性材料的磁性，以分别识别 B-H 环路和磁导率。

基于这些结果，进行了有限元仿真，并对结果进行了讨论。

提出了集成功率电感器的关键特性。

平面螺旋电感器采用电镀技术实现。这种技术和制造工艺已经详细说明了。优点和不足也已经介绍了。电感的表征是从 10MHz 到 1GHz 进行的。最后，仿真和表征结果进行了比较，具有良好的适应性。

## 参考文献

- [1] J. Zhao, X. Dong, Y. Xie, "An energy-efficient 3D CMP design with fine-grained voltage scaling", Design, Automation & Test in Europe Conference & Exhibition, 14-18 March 2011.
- [2] S. Sugawara, A. Nakamori, Z. Hayashi, M. Edo, H. Nakazawa, Y. Katayama, M. Gekinozu, K. Matsuzaki, A. Matsuda, E. Yonezawa, K. Kuroki: "Characteristic of a monolithic dc - dc converter utilizing a thin-film inductor", Proc. IPEC, Tokyo, Japan, 2000.
- [3] S. Musunuri and P. L. Chapman, "Optimization issues for fully-integrated CMOS dc-dc converters," Proc. Conf. Record IEEE Industrial Applications Society Annu. Conf., 2002, pp. 2405-2410.
- [4] D. Chesneau, F. Hasbani, "Benefits and Constraints of SMPS Integration in Wireless Multi Media Terminals", 1st IEEE International Workshop on Power Supply on Chip (PwrSoC)", Cork, Sept. 21-24, 2008.
- [5] N. Wang, T.O' Donnell, S. Roy, P. McCloskey, S.C. O' Mathuna, "Micro-inductors integrated on Silicon for Power supply on chip", Journal of Magnetism & Magnetic Materials, 2007, vol. 316, n. 2, pp. 233-237.
- [6] C. P. Yue and S. S. Wong, "Physical modeling of spiral inductors on silicon", IEEE Trans. Electron Devices, vol. 47, no. 3, pp. 560-568, Mar. 2000.
- [7] C. Martin, B. Allard, D. Tournier, M. Soueidan, J.-J. Rousseau, D. Allessem, L. Menager, V. Bley, J.-Y. Lembeye, "Planar inductors for high frequency

- DC-DC converters using microwave magnetic material”, IEEE ECCE, 2009, pp. 1890–1894.
- [8] A. Kedous-Lebouc, “Materiaux magnétiques en génie électriques 2”, édition Lavoisier 2006, ISBN 2-7462-1461-X.
- [9] A. Siblini, I. Khalil, JP. Chatelon, JJ. Rousseau, “Determination of initial magnetic permeability of YIG thin films using the current sheet method”, Advanced Materials Research, 2011, Vol. 324, pp. 290–293.
- [10] S. Prabhakaran, Y. Sun, P. Dhagat, W. Li and C. R. Sullivan, “Microfabricated V-Groove power inductors for high-current low-voltage fast-transient DC-DC converters”, IEEE 36th Power Electronics Specialists Conference, 2005, PESC ’05, pp. 1513 – 1519.
- [11] Y. Fukuda, T. Inoue, T. Mizoguchi, S. Yatabe and Y. Tachi, “Planar inductor with ferrite layers for DC-DC converter”, IEEE Transactions on Magnetics, Vol. 39, No. 4, July 2003, pp. 2057–2061.
- [12] X. Gao, Y. Zhou, Wen Ding, Ying Cao, Chong Lei, Ji An Chen, and Xiao Lin Zhao, “Fabrication of ultralow-profile micromachined inductor with magnetic core material”, IEEE Transactions On Magnetics, Vol. 41, No. 12, December 2005, pp. 4397–4400.
- [13] B. Orlando, R. Hida, R. Cuchet, M. Audoin, B. Viala, D. Pellissier-Tanon, X. Gagnard, and P. Ancey, “Low-resistance integrated toroidal inductor for power management”, IEEE Transactions On Magnetics, Vol. 42, No. 10, October 2006, pp. 3374–3376.
- [14] H. Nakazawa, M. Edo, Y. Katayama, M. Gekinozu, S. Sugahara, Z. Hayashi, K. kuroki, E. Yonezawa, and K. Matsuzaki, “Micro-DC/DC converter that integrates planar www.intechopen.com 132 Advanced Magnetic Materials inductor on power IC”, IEEE Transaction on Magnetics, Vol. 36, No. 5, September 2000, pp. 3518–3520.
- [15] T. Pan, A. Baldi, E. Davies-Venn, R. Drayton, and B. Ziaie, “Fabrication and modeling of silicon-embedded high-Q inductors”, Journal of Micromechanics and Microengineering, Vol 15, 2005, pp. 849–854.
- [16] H. Jiang, Y. Wang, J. Yeh, and N. C. Tien, “On-Chip spiral inductors suspended over deep copper-lined cavities”, IEEE Transactions on Microwave Theory and Techniques, Vol. 48, No. 12, December 2000.
- [17] Y. Shacham-Davidson, V. M. Dubin, “Copper electroless deposition technology for ultra-large-scale integration (ULSI) metallization”, Microelectronic Engineering 33 (1997) 47–58.
- [18] R. F. Bunshah, “Handbook of deposition technologies for films and coatings”, ISBN: 0-8155-1337-2.
- [19] T. O’Donnell, N. Wang, R. Meere, F. Rhen, S. Roy, D. O’Sullivan, C. O’Mathuna, “Microfabricated inductors for 20 MHz DC-DC converters”, APEC 2008. Twenty-Third Annual IEEE, February 2008, pp. 689–693.