

高压大容量电池系统的低成本isoSPI耦合电路分析

Analysis of Low-Cost isoSPI Coupling Circuits for High Voltage and High Capacity Battery System

严乙 编译

中图分类号: TN86 文献标识码: B 文章编号: 1606-7517(2016)06-4-130

1 引言

将内置于 LTC6804 电池组监视器中的 isoSPI™ 功能与 LTC6820 isoSPI 通信接口结合, 可以跨高压势垒提供安全可靠的信息传输。在通过存储单元串联连接产生数百伏电压的能量存储系统中, isoSPI 尤其有用, 这类系统需要彻底的电介质隔离, 以能够最大限度地减少对人员的伤害。

典型的 isoSPI 的应用如图 1 所示, 其中, 脉冲变压器提供电介质隔离, 抑制可能对配线系统产生重大影响的共模干扰。现在, 采用市场容易购得且价格低廉的以太网 LAN 磁性元件就可以实现 isoSPI 功能。实现 isoSPI 功能的电路通常包括一个改善共模线路噪声性能的共模扼流圈部分 (如图 1 所示) 以及很有影响的 100 Ω 线路终端电阻器和共模去耦电容器。



图1 isoSPI点对点链路概略图

普通的信号变压器 (包括以太网和栅极驱动器型) 是采用漆包绝缘线绕制的, 这种导线可能会有针孔大小的绝缘缺陷, 以致使铜线部分暴露于空气之中, 这就固有限制了绕组之间的偏置, 而绕组间的偏置正是对此类变压器进行论证的依据。在生产中, 用高压测试这类变压器 (被称为 Hi-pot 筛选), 以确定总的绝缘问题, 一般为 1.5kV。这一绝缘电压是针对 60V 长期偏置设定的安全设计裕度。因为在存在微小腐蚀的环境中, 往往需要超过 60V 的电压

才能在绕组之间构成传导通路。

2 电路设计的主要问题

电路设计中应解决的主要问题是高电压大容量以及由此产生的高成本。就 400V 范围的电池组电压而言, 一种优良的设计是采用加强 (双重) 绝缘, 以高压 3750V 或更高的电压进行 Hi-pot 测试, 以此确定变压器的性能规格。由于这类产品所需要的爬电距离 (表面距离) 和空隙 (空气间隔) 尺寸较大, 所以这类变压器很难找到小型化产品, 而且其价格相对昂贵。isoSPI 用于高压达 1kV 的电池系统时, 这就要求变压器能通过 5kV 的 Hi-pot 测试, 以留出保守的设计裕度。在这种应用中, 隔离组件可能很大、很昂贵, 而且全损害脉冲保真度。

3 该怎么解决以上所述问题呢

其基本解决方案是分而治之。

首先是一种不采用加强绝缘的变压器设计方案: 通过将额外的绝缘要求转移到耦合电容器上, 将偏置要求从磁性元件上分离出来。仅靠电容器就能够提供看似完整的隔离选择, 电容器既不提供共模抑制, 也不提供变压器所具备的抗冲击隔离特性, 因此, L-C 方法实际上是最优的。采用这种方法时, 电容器充电至标称 DC 偏置值, 让变压器处理瞬态问题, 而对于瞬态问题的处理, 即使采用普通变压器也很适合。

其次, 耦合电容器用电阻值很大的电阻器偏置, 一般将其连接到变压器中央抽头的连接点, 见图 2 所示。这样

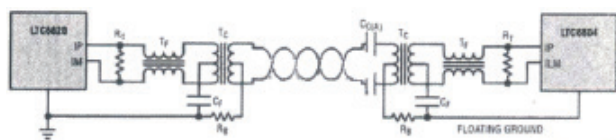


图2 AC耦合的isoSPI点对点链路适合更高的电压

的设计还有一个好处，如果偏置电阻器的 DC 电流受到监视，那么任何电介质的击穿都成了可检测故障。所选择的电阻很大，例如 10M Ω ，以使故障电流低于变压器细导线上的额定值，同时对人员的冲击损害最小。

将高压要求从变压器磁性元件设计中剥离出来后，就出现了几种成本相对较低的选择。其一种是仅使用得到批准了的以太网变压器。另一种是使用市场现成销售的扁平型磁性元件，以降低组件高度和组件重量及减轻焊料疲劳问题。这类变压器像其它任何组件一样，可以采用自动化表面贴装的组装方法进行安装，从而也降低了生产成本。具备上述特点的一个很好的组件是分立式共模扼流圈 (CMC)。CMC 具有变压器结构，通常用作滤波组件。这类组件的电感值可高达 100 μH ，已被批准用于汽车电子系统，因此也成了 isoSPI 配置可以使用的组件。

实用的 CMC 的售价不贵。CMC 是用机器在芯片大小的铁氧体磁芯上缠绕线对制成的，这有利于简便快速的批量生产。其为了使持续时间较长的脉冲波形有效地通过，isoSPI 设计需要大一些的电感值，它可以通过使用两个扼流圈来得到充足的电感值，让两个扼流圈的绕组串联，则将可以产生 200 μH 的电感值。这还可以带来一个额外的好处，即基本上构成了中央抽头连接，这对于共模偏置和去耦功能都很有帮助。

图 3 所示为用两个 CMC 实现的等效变压器模型。图中所示扼流圈的占板面积为 1812SMT，其采用双线绕组（缠绕时使用成对导线），因此原边和副边是严密匹配的，因此

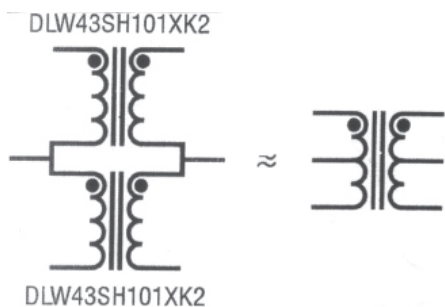


图3 用两个共模扼流圈构成具有中央抽头的isoSPI变压器

最大限度地减小了漏电感，也保持了良好的高频性能。变压器如果采用物理上分开的绕组，则脉冲保真度较差，这是由于漏电感太大。图 3 中所示的变压器存在 50VDC 额定值。

图 4 显示了采用 L-C 解决方案和以 CMC 为变压器的完整电路。既然通常的 isoSPI 应用包括非常有益的 CMC 滤波部分（采用标准 LAN 组件时，这部分是集成在其内部的），所以图 4 电路包括了一个建议采用的分立式组件，以保留滤波功能。耦合电容器是 10nF 至 33nF 的高品质组件，占据面积为 1812SMT（额定电压为 630V 或 1kV）。在此假定 LTC6820 以机架地电位工作，以使双绞线的偏置处于安全水平。

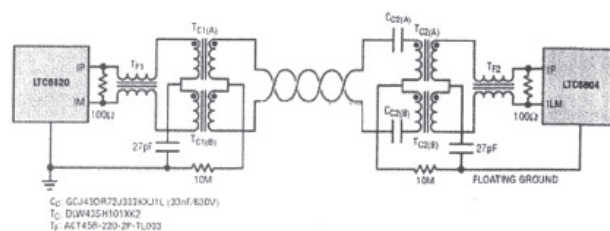


图4 完整的高压isoSPI点对点链路

当双绞线对的两个端子都处于浮置地电位时，如同菊花链式连接的 LTC6804-1 模块之间的链路那样，就可以在链路的两个端子上使用电容器，线对本身也可以通过连接到每条线上的高阻值电阻器偏置到“地”电位，如图 5 所示。因为图中的电容器是串联的，所以建议使用至少 22nF 的电容器（图中所示的电容器为 33nF 1630V）。

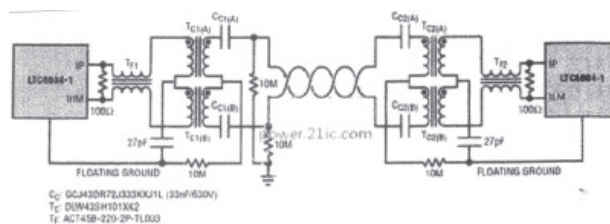


图5 采用隔离配线的高压菊花链式isoSPI链路

在同一块电路板上以菊花链方式连接的 LTC6804-1 之间的链路不需要任何电容器耦合，因为其电位差通常小于 50V，而且由于没有使用电缆，故进入的噪声小很多。常常仅需要单个变压器（见图 6 所示）。

4 高压布局设计

印制电路板 (PCB) 布局应该在跨主要电解质势垒处

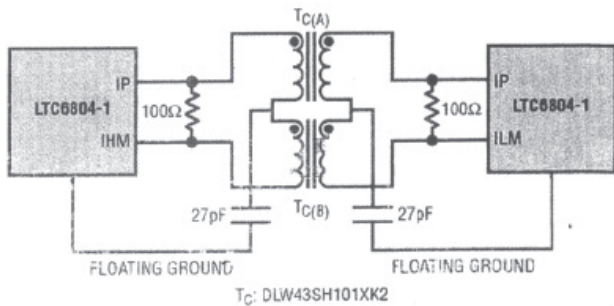


图6 菊花链式isoSPI链路用来在同一块电路板上实现互连

(即电容器)设置很宽的隔离间隔。图7所示为一种组件在PCB上布局的实例,图中电路可以提供良好的高压性能,图中深色区域表示机架地(左边具有双绞线连接器)和IC公共接口(右边)。必须注意的是变压器要承受高电压(HV)瞬态电位,因此,图中用了1206大小的偏置电阻保持间隙。高频(HF)去耦电容器和阻抗终端电阻器可以是小型组件(如图中所示的0602大小)。另一种避免跨高电压势垒产生漏电流的有效办法是在高压组件(跨地线之间“缝隙”的组件)区域抑制阻焊层。这也为有效地冲洗组件下方的剩余焊剂提供了方便,并避免湿气滞留在多孔阻焊层中。

5 需要特殊考虑的isoSPI总线问题

上述电路适用于点对点 isoSPI 链路,但是,其提供高

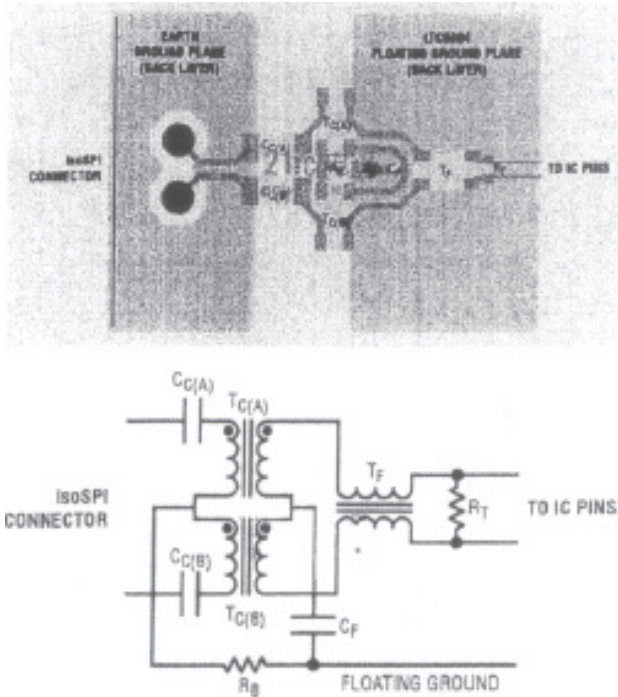


图7 建议采用的印刷电路板布局,可在isoSPI接口端提供良好的高压性能

压解决方案时,需要应对的重要问题之一是连接到总线的可寻址 LTC6804-2。该器件的双绞线链路通过每一个“抽头”连接点,如图8所示。总线应用对所有变压器都有高压要求,因为同一个双绞线电位必须与浮置电池组的任何电压接口。与上述设计相同,在此也用 CMC 和 AC 耦合电容器增强绝缘性能。但在本设计中,采用了略有区别的耦合电路,以便于衰减大量反射信号,为通信器件提供一致的波形,而不论这些器件在网络中的物理位置。其不同之处有 3 种: LTC6820 终端变为 100PF 电容器 (CT); 远端终端仅用于运行中的总线 (RT)并设定为 68 (任何 LTC6804-2 都没有终端); 所有总线连接都采用 22 耦合电阻器 (RC),以对杂散电容性负载去耦。这些差别都显示在图8所示的电路中,该电路再次假设其 LTC6820 以安全的“大地”电压工作。修改后的脉冲波形用于回波控制,以控制反射信号引起的失真,因此,IC 引脚处接收到的脉冲波形看上去更加圆滑,如图9所示。不过,isoSPI 脉冲鉴别器电路可以很好地运用这种修改后的波形,来支持总共提供 16 个地址的总线。这要看系统中遇到的实际损耗的不同而区别,也许有必要降低脉冲检测门限,以实现最佳工作状态(将门限设定为差分信号峰值的 40% 到 50%)。请注意,就地址数量少于等于 5 个的网络而言,信号反射一般不是重要的问题,因此可以保留标准电阻性终端(即在图8中的 CTERM 和 RTERM 位置上放置 100 的电阻器,而 RC 则可省略掉)。

6 小结

采用 AC 耦合方法可以减轻高压 isoSPI 系统的成本问

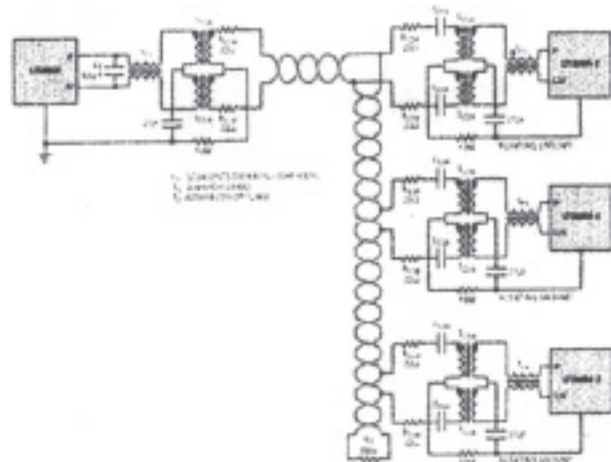


图8 具有回波控制的完整高压isoSPI总线

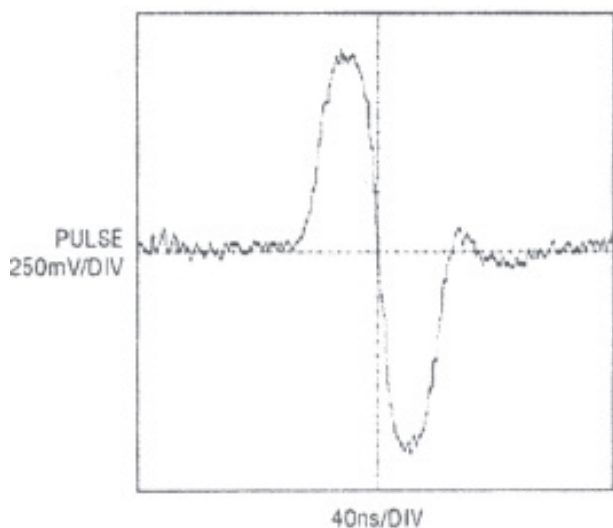


图9 在isoSPI总线应用中修改后的脉冲波形，用于回波控制

题，而且不要求磁性元件进行双重绝缘。用价格不贵、缠绕在绕线管上的共模扼流圈(CMC)组件取代专门的螺旋管型变压器磁性元件，还可以更进一步降低成本。电容器和CMC都是相对扁平的表面贴装芯片组件。价格具备竞争力，而且其高可靠性经过了审查，可用于汽车电子系统。用于AC耦合的偏置电阻器为监视系统的电介质完整性提供了一种非常有用的途径。

上接126页

电抗器的总损耗(铁损加铜损)为：

$$P = P_t + P_c = 128.89 \text{ (VA)}$$

电抗器的总散热表面积(铁心加线圈)为：

$$S = S_c + S_o = 983.05 \text{ (cm}^2\text{)}$$

电抗器单位表面积耗散的热功率为：

$$W_s = P/S = 0.131 \text{ (W/cm}^2\text{)}$$

将 W_s 代入(14)式，则电抗器在45℃环境下的整体预计温升为：

$$85.6 \text{ (}^\circ\text{C)}$$

需要注意的是，以上计算的结果只是预测数值；由于电抗器在设备中的安装环境的不同，周围器件发热的影响，通风散热条件的差异等，电抗器的实际温升和预计温升会

有较大的变化；

实装测试，按上述制作的电抗器，在UPS设备中安装后，进行负荷实验并测试电抗器的温升，温升满足设计要求。

上述设计概算方法，同样也适用于EI型铁心，口型叠片铁心的交流电抗器，

但是不适用于直流电抗器的设计计算。

结论

由于电抗器设计方法很多，这只是一种方法而已，供大家参考使用。要想达到价格比更优的产品，需要更多的丰富理论知识和长期实践经验，同时保证生产工艺可靠性，必须更加苦功夫去思考和实践。

上接129页

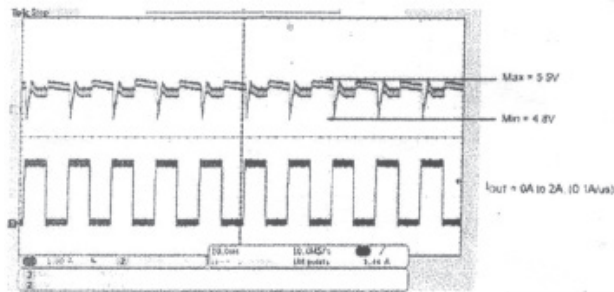


图5 iw1780+iw671的负载瞬态响应时间图

有响应速度快、外部组件少、无需外部补偿组件也能维持多个控制环路的稳定性等特点。模拟电路或许也能实现同类电路，但其最终将带来了更大的电路尺寸、更高的成本

和更困难的补偿。

数字技术正在掀开一个新的电源设计时代，甚至能够为那些不精通电源的设计工程师提供灵活、易用的解决方案。数字电源管理技术领域的进步使快速响应成为可能，并让消费电子产品应用的电源适配器能够在不牺牲性能的情况下，满足国际能效的规定。