

# SimpleLink™ Wi-Fi 芯片 CC3200 和 CC3100 的电路板设计重点

贺鹏, 张信伟 (Albin)

## 目录

1. 产品综述
2. 电源部分的设计
  - 2.1 芯片内部 DC-DC
  - 2.2 Vbat DC-DC 输入电容
  - 2.3 电源部分地的处理
  - 2.4 对 Wi-Fi 性能的影响
3. 射频链路
  - 3.1 带通滤波器(BPF)
  - 3.2 射频走线的阻抗控制
  - 3.3 2.4 GHz 天线
  - 3.4 天线阻抗匹配
  - 3.5 射频测试接口
4. 晶振电路设计
  - 4.1 晶体选型
  - 4.2 晶体的布板设计
5. 总结

## 概要

德州仪器(TI) 产品线的 SimpleLink Wi-Fi CC3200 和 CC3100 是一颗针对广大物联网 (IoT) 市场的嵌入式 Wi-Fi 芯片。TI SimpleLink Wi-Fi 拥有简单易用的软件构架和实例程序，芯片采用 0.5mm 间距的 64 管脚 QFN 封装，支持单端射频链路，大大降低了射频电路板设计的门槛。对终端用户来说，既可以选择采用射频模块方案，也可以选择投入更多的研发资源，开发 BOM 成本更低的芯片贴板 (COB, Chip on Board) 的方案。即使没有 Wi-Fi 或射频经验的硬件工程师来说，只要严格遵循 TI 开放的参考设计和设计规则，也可以开发出性能合格的嵌入式 WiFi 电路板。

本应用文档针对 CC3200 和 CC3100 自 2014 年 7 月投放市场以来，广大用户在电路板设计开发中遇到的常见问题，重点讲解电路板的设计重点，以及这些设计细节对最终产品 Wi-Fi 性能的影响。

## 1. 产品综述

CC3200 和 CC3100 都是 TI SimpleLink™ 系列的嵌入式 Wi-Fi 芯片。CC3200 是一个支持 Wi-Fi 的片上系统 (SoC, System on Chip)，包含一个 Wi-Fi 网络处理器 (NWP, Network Processor)，电源管理子系统外，和一颗 ARM Cortex M4 核的应用处理器。CC3200 的应用处理器最高可达 80 MHz 主频，内置 256KB 内存，为应用开发提供了丰富的接口和内部资源。CC3200 的系统设计以安全、快速和超低功耗的 Wi-Fi 和 Internet 连接为主旨，使得 Wi-Fi 智能设备可以实现电池供电和超长待机。这些特点使得 CC3200 是非常理想的需要连接到云端的智能产品的单芯片解决方案。

CC3100 是一个 Wi-Fi 控制器，包含和电源管理子系统，适用于和支持 SPI 或 UART 的 8 位，16 位，或 32 位单片机或运行操作系统的微处理器配合使用。这主要是给对单片机或处理器有特殊要求的客户提供了设计上的灵活性。因为 CC3100 集成了 TCP, UDP 网络传输层，还集成了 DNS 和 HTTP 应用层服务，这些客户可以在不增加主控芯片软件负荷的情况下简易地给系统加上 Wi-Fi 功能连接到云端。

CC3100 跟 CC3200 是完全管脚兼容 (Pin to Pin) 的。CC3100 的电源和射频部分跟 CC3200 完全相同，在功能上可以视为 CC3200 的子集。为简明起见，在以下关于 CC3200 和 CC3100 电路板设计的阐述中，将只按 CC3200 的设计来说明，所有内容同样适用于 CC3100。

## 2. 电源部分的设计

### 2.1 芯片内部 DC-DC

CC3200 的电源管理子系统包含三个直流电压变换器 (DC-DC)，分别为给数字部分电路供电的 Digital DC-DC，给模拟部分电路供电的 ANA1 DC-DC，给射频部分 PA 供电的 PA DC-DC。CC3200 常用的供电模式是 2.1 V 至 3.6 V 的宽电压供电，电压源输入到芯片内部的三个 DC-DC，三个 DC-DC 进行电压变换后分别给芯片内部的数字、模拟、和射频模块供电。低功耗 Wi-Fi 智能设备经常是用两节 1.5 V 的 AA 或 AAA 干电池串联供电，或者是把板上 5V 转成 3.3V 后供电，所以宽电压供电模式适用于普遍的应用场景。

在电池直接供电模式下，三个内部的 DC-DC 的开关噪声很大，这个时候电源部分的 PCB 设计对 Wi-Fi 射频性能至关重要。在 1.85V 稳压源供电模式下，芯片内部的 DC-DC 不工作，这种情况下也就没有开关噪声。这种情况下 Wi-Fi 射频性能对电源部分的 PCB 设计相对不敏感。

图 1 为 CC3200 3.3V Vbat 输入 VIN\_DCDC\_PA (Pin 39) 上示波器测量出的电压纹波，电压波动幅度达到 600 mV。对应于 CC3200 由 Radio Tool 控制数据包连续发送 (Tx Mode, Packetized)。图 2 为该状态下 VIN\_DCDC\_ANA (Pin 37) 上的电压波形，电压波动幅度达 200 mV。图 3 为 VIN\_DCDC\_DIG (44 脚) 上的电压波形，电压波动幅度也达 200mV。

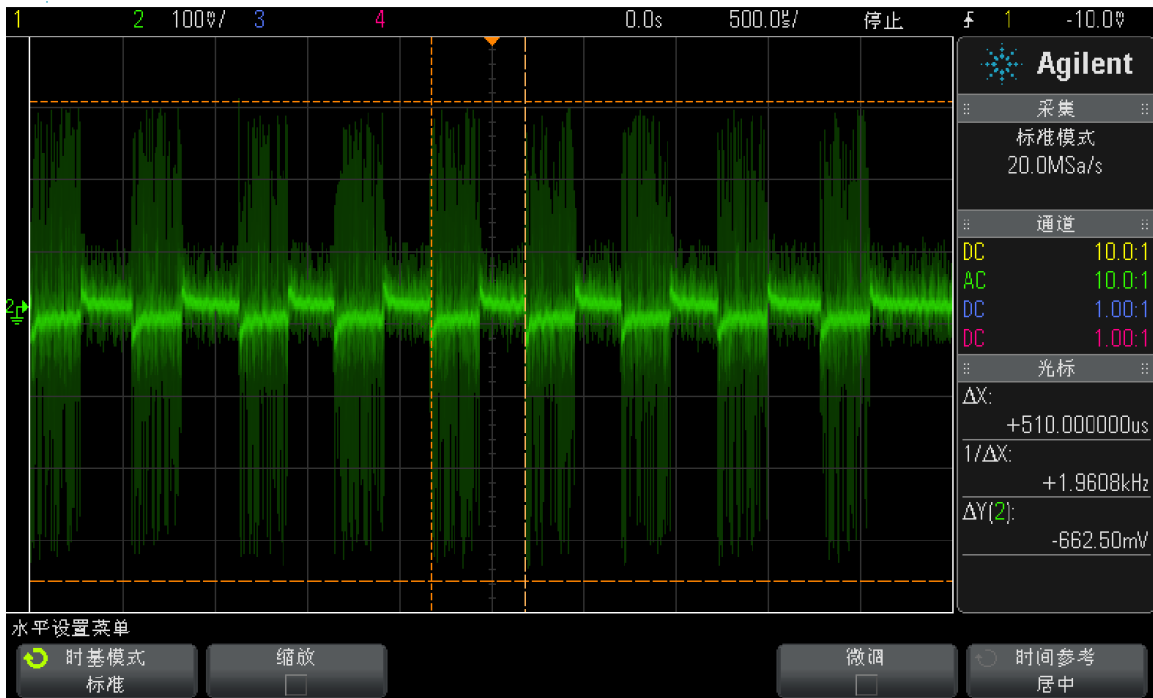


图 1: CC3200 发送状态下 3.3V Vbat 输入 VIN\_DCDC\_PA (Pin 39) 电压波形。



图 2: CC3200 发送状态下 3.3V Vbat 输入 VIN\_DCDC\_ANA (Pin 39) 电压波形。

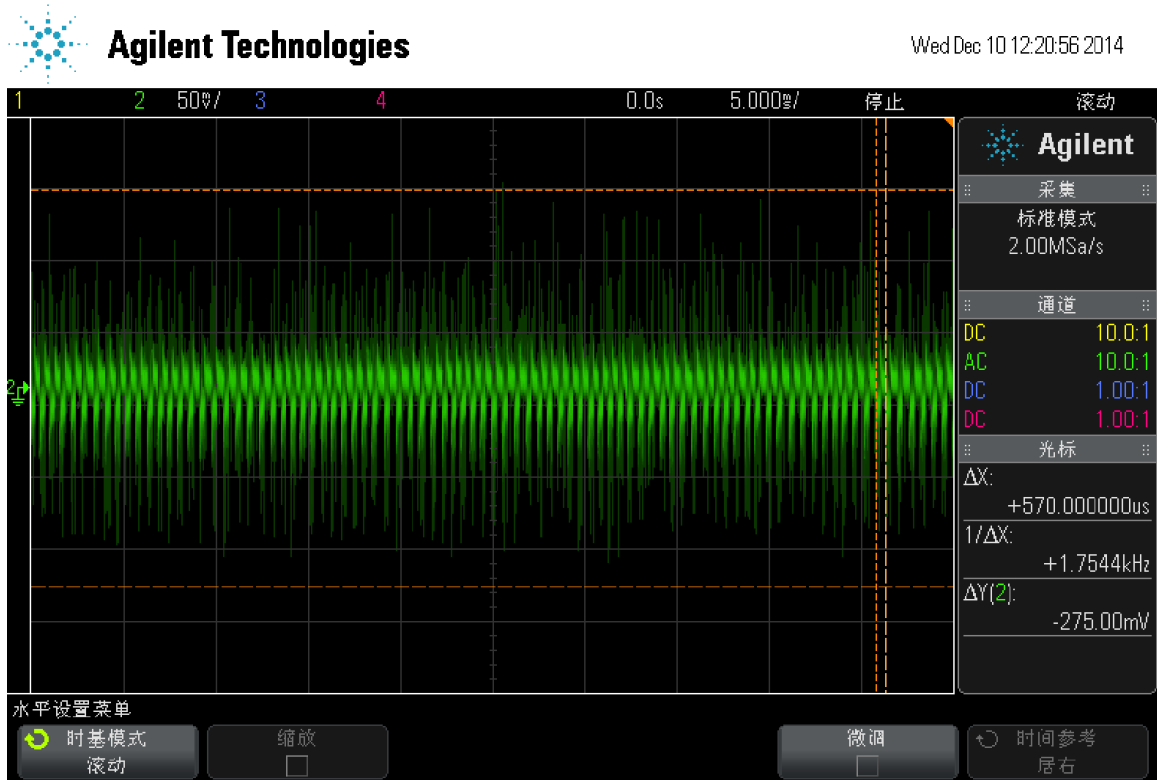


图 3: CC3200 发送状态下 3.3V Vbat 输入 VIN\_DCDC\_DIG (Pin 44) 电压波形

这三路电源输入上的噪声若不能恰当处理，对芯片性能影响很大。所以在 CC3200 的布板设计中，对电源的走线，去耦电容，地平面和走线的设计都有一定的要求。

## 2.2 Vbat DC-DC 输入电容

以 TI CC3200 Launchpad 为例，3.3V Vbat 输入管脚如下图。VIN\_IO1 和 VIN\_IO2 这两路为 IO 供电，电流很小<sup>1</sup>，噪声的影响也小。在布板设计中，如图 5 所示，将去耦电容 C29，C39 尽量靠近对应电源输入管脚，去耦电容的接地脚通过过孔连接到主地层。

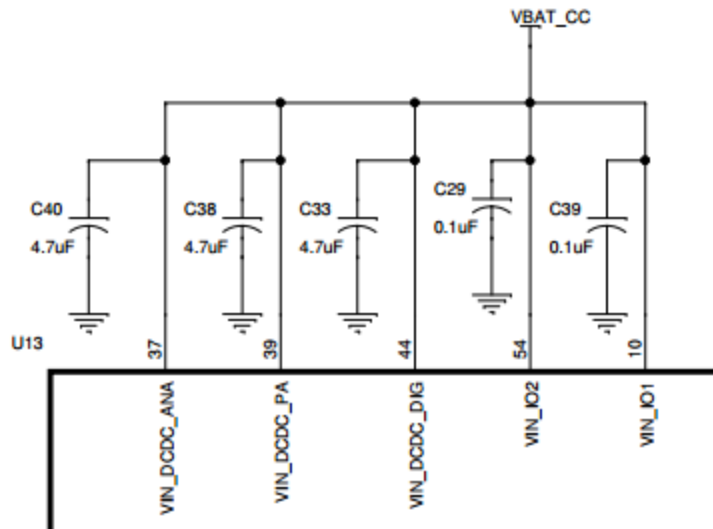


图 4: CC3200 LaunchPad Vbat 输入电源部分原理图<sup>2</sup>

如果通过走线或表层覆铜连接到表层地，因为这样的高频噪声电流的回路不易控制。布板要求电源部分表层不铺地铜。

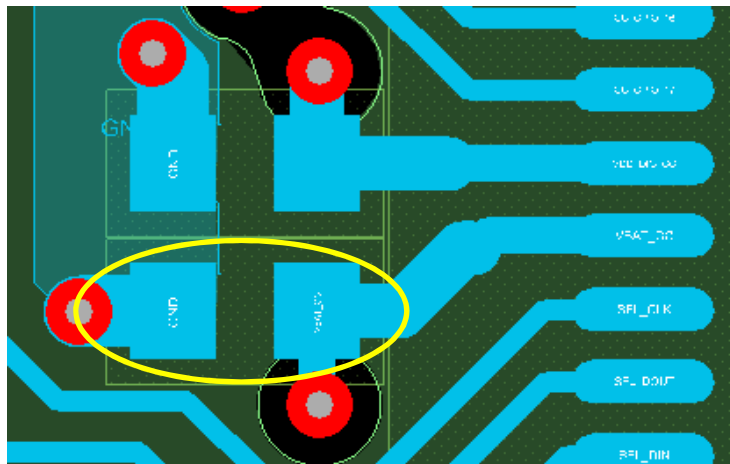


图 5: CC3200 LaunchPad Pin 10 VIN\_IO1 的去耦电容的接地处理

如之前图 1、2、3 所示，由 Vbat, 输入电容，和芯片内部对应的 DC-DC 的地形成电流回路环路上有大量的高频开关电流，生成交变磁场辐射。交变磁场辐射是板上噪声的主要根源。DC-DC 工作时给开关地注入开关电流，产生的交变磁场感生电压降，会导致接地反弹。为了抑制磁场辐射，减小地反弹，就需要把高频开关电流回路最小化，同时把它们接地走线从主地平面隔离出来。同时接地走线等效为电感，对高频噪声也有一定的抑制作用。

如图 6 旨在说明 VIN\_DCDC\_ANA, VIN\_DCDC\_PA, VIN\_DCDC\_DIG 三路 Vbat 输入的三个去耦电容 C40, C38, C33 的摆放、电源和接地走线的处理方式。可以看到，三个电容的接地

是通过过孔，在第二层主地层走回 CC3200 芯片下面，再通过过孔连回芯片中间的地焊盘。在表层 DC 电流输入走线和第二层接地走线上下重合，使得开关电流环路面积最小。

图 6 右特别说明第二层接地走线跟主地平面的隔离。这里需要特别注意的是电容端接地过孔的处理。因为为了降低 4 层 PCB 板的成本，一般只使用通孔，而不会采用 1 到 2 层盲孔。这就造成一种情况，在布板后期覆铜环节，将输入电容的接地过孔在第 3 层或底层连接到地铜。这种情况下最小化和隔离开关电流环路的目的就可能落空了，因为这个时候电流噪声和开关电流可能串到可能阻抗更低第三层和底层地去。所以在布板铺铜过程中需要细致处理，避免出现这样的情况，一种推荐的简单处理方法是在布板过程中，在第三层和底层的需要隔离的过孔周围画出铺铜禁区。

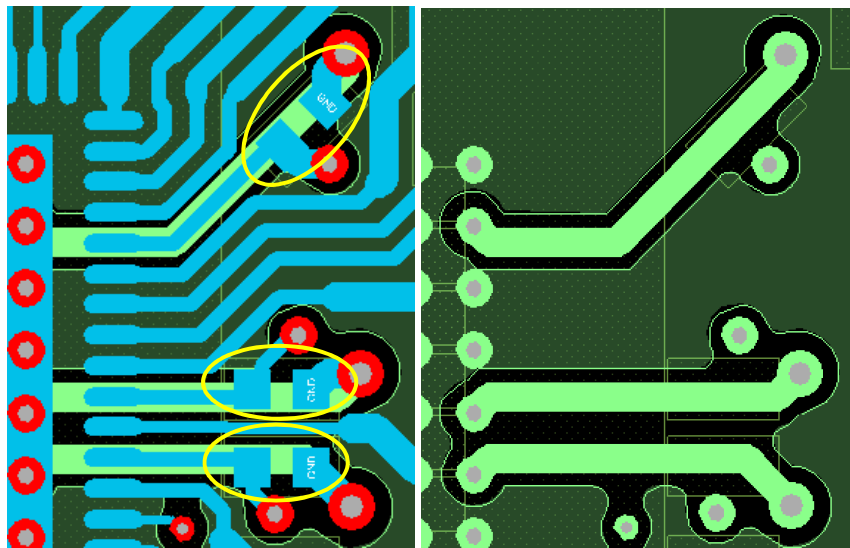


图 6: CC3200 LaunchPad Vbat 输入电路的布板处理; 左图: 表层和第二层(主地层)显示; 右图: 第二层显示。

图 7 显示出 TI 参考设计板 CC3200 LaunchPad 输入电容接地过孔(黄圈圈出)在底层与地平面的连接。在最上方的过孔对应的是 VIN\_DCDC\_DIG, 由于这一路电流较小, 所以没有做隔离, 直接连接到底层地平面。而另外两个接地过孔, 在底层连接到了两块很小的孤铜, 这样跟画定覆铜禁区隔离的效果相同。

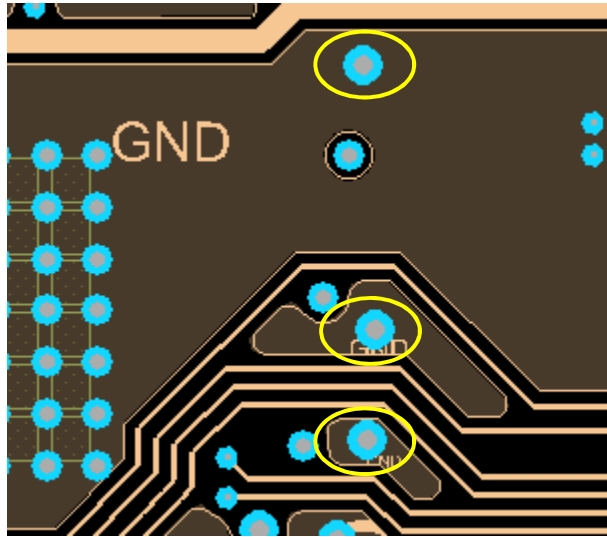


图 7: CC3200 LaunchPad Vbat 输入电容接地过孔在底层的地连接

### 2.3 电源部分地的处理

由于在布板设计中的不同情形，不易完全照搬参考设计的布板，走线，打孔等所有细节，所以本小节进一步阐述电源部分地的处理。

首先，表层电源部分不铺地铜。如前面章节所阐释，电源部分电容接地都是过孔连接到第二层的主地平面；其次，对于走大开关电流的 Vbat 输入电容的接地过孔，需要特别注意在第 2, 3, 4 层做隔离；最后，在做 COB 方案的 PCB 板设计时，如果 PCB 板面积大，也建议芯片中间散热焊盘下面第三层(电源层)和第四层（数字走线层）的地铜跟本层周围的地铜做隔离处理。因为他们都是通过过孔连接到第二层（主地层），这样就保证了芯片的地电流都是同过第二层(主地层)回流。

一般来说，在做 COB 方案的时候，由于 PCB 板面积大，在地的处理上的随意性就可能较大，这个时候就需要特别注意电源部分地的设计对电源噪声的影响以保证 Wi-Fi 射频性能。这也是推荐采用模块方案以减小系统主板设计和测试难度和工作量的一个主要原因。

### 2.4 对 Wi-Fi 性能的影响

前面章节谈到的 CC3200 电源部分的布板设计对 Wi-Fi 性能至关重要。如果这部分设计有问题，最直观的表现就是 Wi-Fi 802.11b 的频谱遮罩(Spectrum Mask) 超标。图 8 显示了一款电源和地设计有问题的采用 CC3200 COB 方案的电路板 802.11b 11Mbps (CCK) 的频谱。可以看到在高频端，频谱超过了 802.11b 标准定义的遮罩(红色的折线)。图 9 显示的是一款设计优化的 CC3200 模块 802.11b 11Mbps(CCK) 的频谱。在频谱中心 +/- 20 MHz 以外，对频谱遮罩都有 5 dB 以上的空余 (Margin)，且越往远端，频谱越低，空余越大。



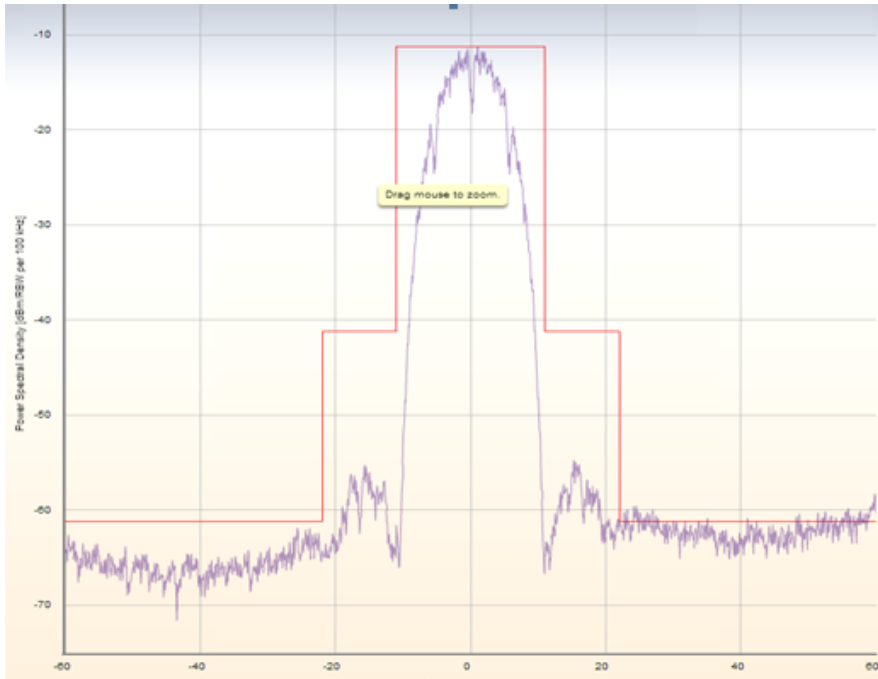


图 8: CC3200 802.11b 11M (CCK) 超标的频谱

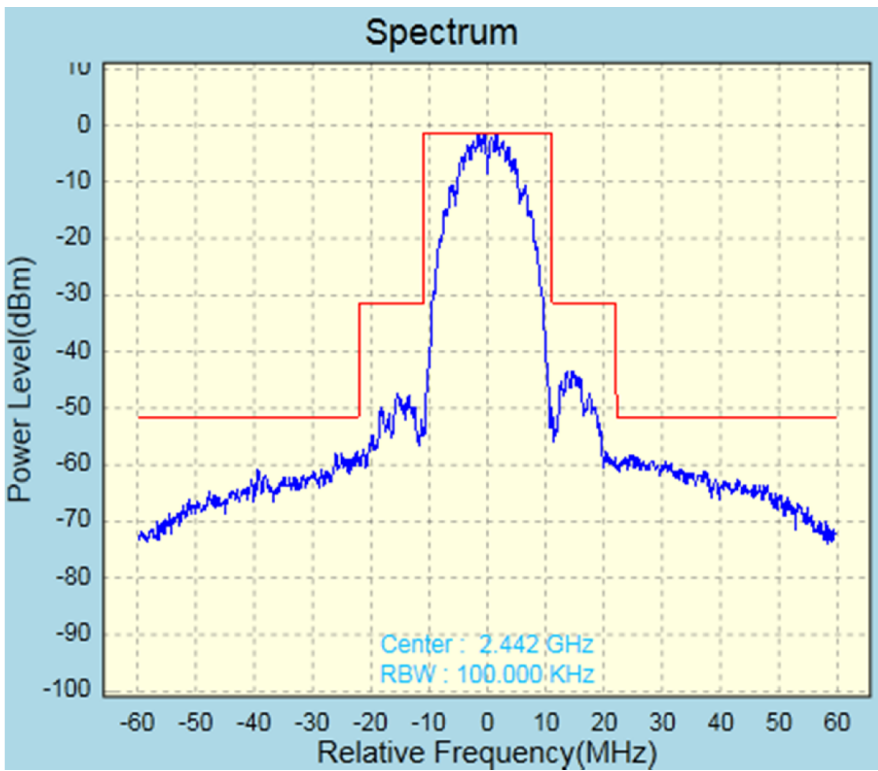


图 9: CC3200 802.11b 11Mbps (CCK) 达标的频谱

### 3. 射频链路

#### 3.1 带通滤波器 (BPF)

CC3200 和 CC3100 的射频为单端输入输出，在一个管脚（Pin 31）上复用。发送时，信号由 Pin 31 出来，经过一个带通滤波器 (BPF)，在经过一个阻抗匹配网络，由一个 2.4 GHz 的天线辐射到空间中。

图 10 和图 11 显示了 CC3200 Launchpad 的射频链路的原理图和布板。

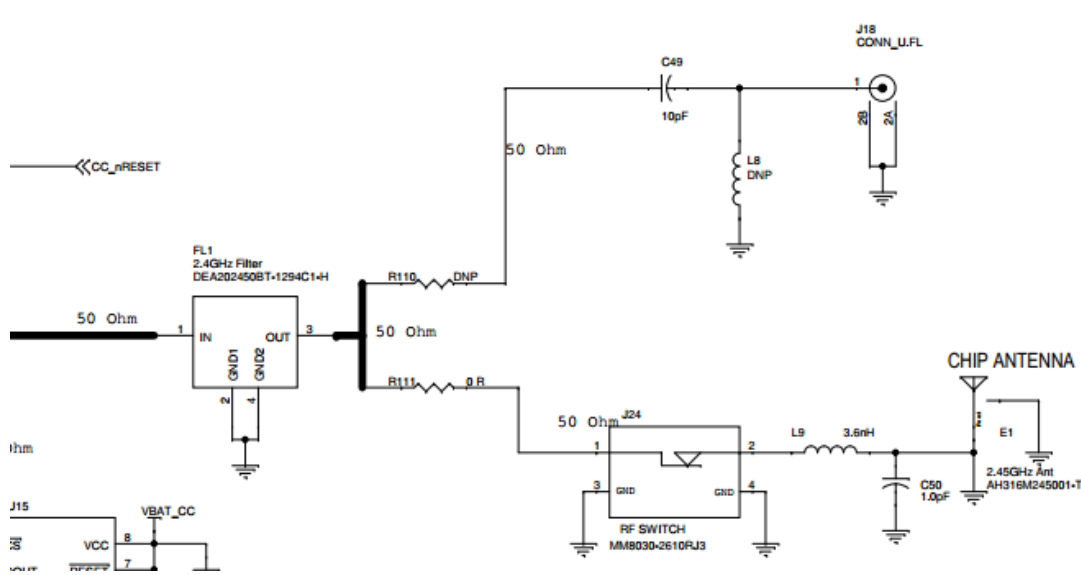


图 10: CC3200 Launchpad 射频链路原理图

图 10 中 FL1 为 2.4GHz 的 BPF，用以抑制二次和三次谐波和带外杂散，以符合美国的 FCC，欧洲的 CE，日本的 Telec 和中国的 SRRC 等规范测试的要求。由于不同的芯片射频发射和接收机的内部设计不同，频谱上会产生不同的杂散，所以需要一些特殊频段的信号抑制。这颗 BPF 需要是给 CC3200 定制的。目前有两颗可以选择，TDK 的 DEA202450BT-1294C1-H 和华新科技 (Walsin Technology) 的 RFBPF2012080AC2T00（详细参数请参考器件规格书）。

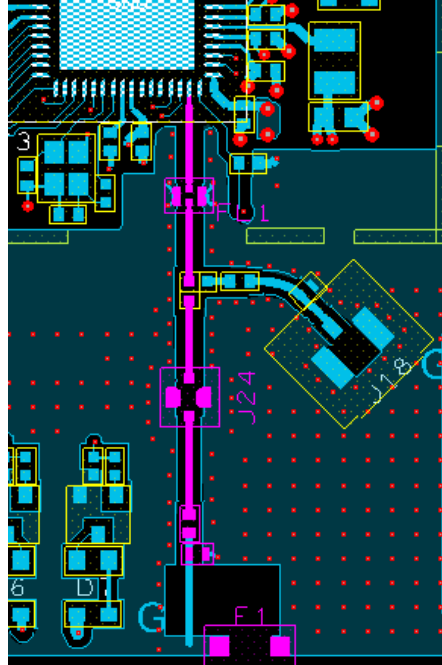
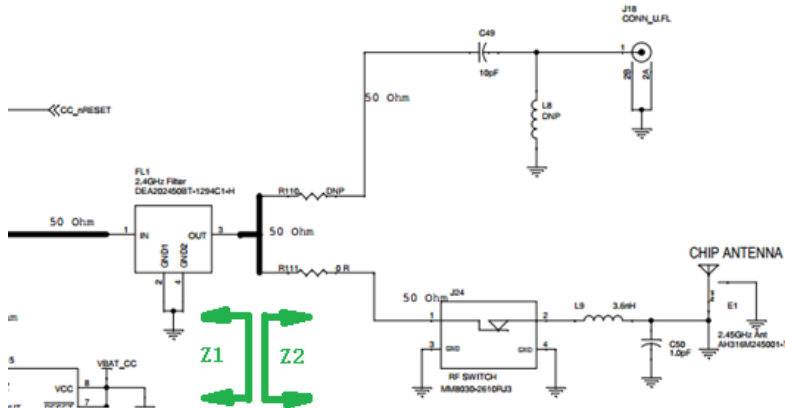


图 11: CC3200 Launchpad 射频链路布板图（紫红色高亮部分）

在具体设计产品的时候，射频部分的设计可以分成两部分，一部分是电路传导部分，另外一部分是天线电路。借用 TI 的参考设计，可以以 R110/R111 的共焊盘为射频参考平面。最终的设计目标是要保证 Z1 和 Z2 都是 50ohm 的系统，这样，就可以保证一个良好的传输特性。



### 1. 电路传导部分：

上图 Z1 部分为电路传导参考平面，这一部分的设计，对于射频能力不强的客户来说，需尽量复制 TI 的参考设计。并对链路射频线做 50 Ohm 的阻抗控制。

### 2. 天线电路及天线：

请参考 3.3 章节 2.4GHz 天线部分。

图 12 作为一个实例来说明 BPF 的射频性能。Mark 点 m1 和 m2 表征了带内的插入损耗 (Insertion Loss), m11 和 m12 分别大致表征二次和三次谐波的抑制性能。

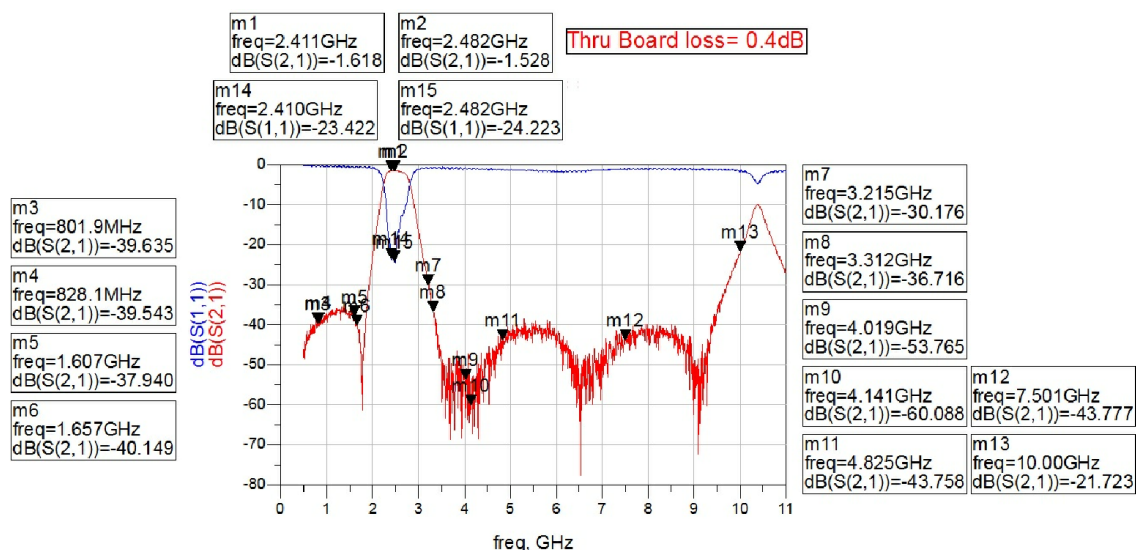


图 12: Walsin Technology™ RFBPF2012080AC2T00 评估板实测 S-Parameter 频率特性

### 3.2 射频走线的阻抗控制

PCB 上射频链路的走线需要控制阻抗，使其在 2.4 GHz 工作频段为 50 Ohm。因为芯片，BPF 和天线的射频性能都是优化在 50 Ohm 端口阻抗的。需要通过选择合适的传输线模型在计算走线的宽度，跟旁边的地的间距等几何参数。常用的传输线模型为微带线 (Microstrip Line) 和共面波导 (CPW, Coplanar Waveguide)。微带线传输线模型主要用于 4 层板的设计 (CC3200 COB 方案要求 4 层板)。而共面波导模型多用于采用 CC3200 模块的 2 层板上的射频线，因为 2 层板。

在互联网上可以搜索到很多免费的基于网页的计算器来近似计算传输线的几何参数。可以用射频仿真工具仿真传输线的阻抗，也可以用软件工具如 Keysight™ Advanced Design System (ADS) 软件包里的传输线阻抗计算工具 LineCalc。在图 12 所显示的微带线的计算界面中，可以输入频率、几何参数、介质和导体参数以计算对应的阻抗，也可以输入目标阻抗以反推微带线的宽度  $W$  (特征阻抗跟传输线长度  $L$  无关)。

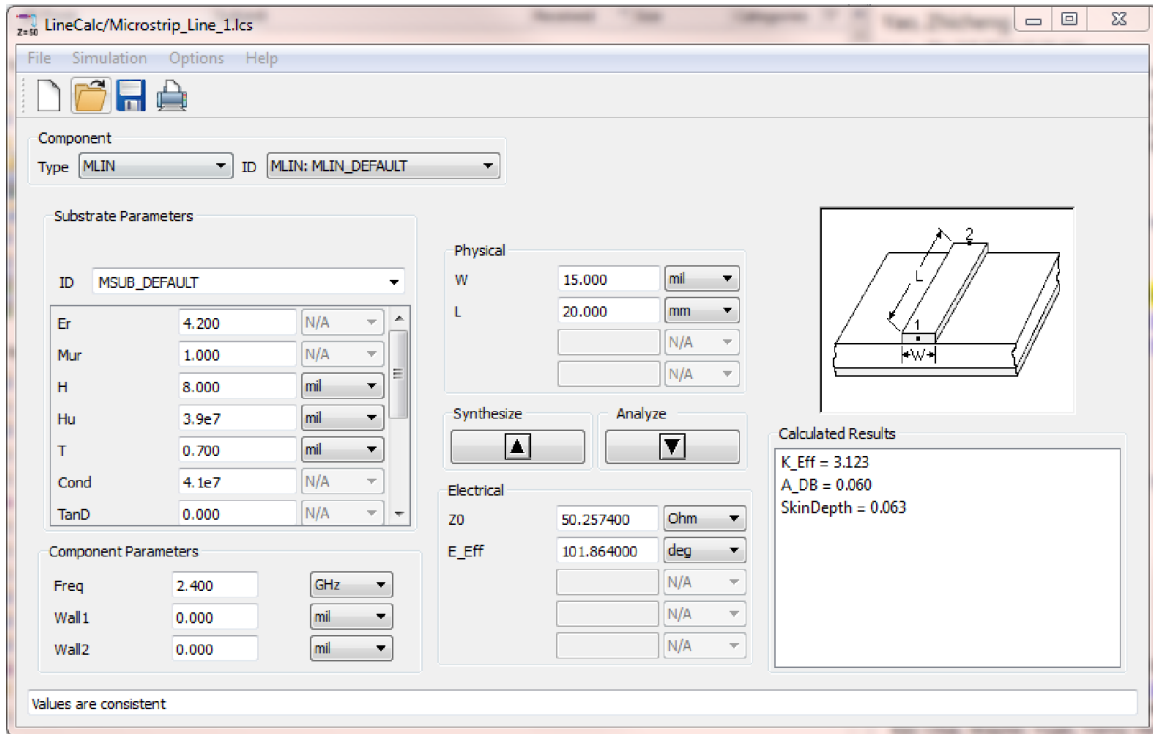


图 13: Keysight™ Advanced Design System (ADS) 传输线阻抗计算工具 LineCalc

在图 12 中左边的参数列表中， $\epsilon_r$  为板材的相对介电常数，FR4 板材一般为 4.2 左右。 $\mu_r$  为板材的相对介磁常数，FR4 和一般 PCB 板材都为 1.0。 $H$  为表层铜跟下面的地层的距离。 $H_u$  为表层铜跟上方的地层的距离。因为 ADS 是通过仿真来分析的，所以需要这个参数。而在一些其他按照理论估算的工具中是没有这个参数的。这里因为上方没有地层，所以设置了一个很大的数值以表示无穷大。 $T$  为表层铜的厚度，0.5 Oz 铜的厚度为 0.7 mil。 $\text{Cond}$  为表层铜的电导率，单位为 siemens/m。 $\text{TanD}$  为介电常数的耗散参数(Dielectric Loss Tangent)，就是介电常数虚部跟实部的比值。

在布板时的阻抗计算主要是为了布局和走线的参考，因为在上述计算中，对于分布参数的考量是不充分的。在送交 PCB 板厂制板前的工程确认时，需要要求板厂对射频线进行精准的阻抗控制。PCB 板厂会根据他们的更准确的板子叠层结构和介质参数来调整走线宽度和对地间距。

### 3.3 2.4 GHz 天线

SimpleLink Wi-Fi 芯片 CC3200 和 CC3100 工作在 2.4GHz ISM 频段 (2401 MHz – 2483 MHz)，在这个频段还有 2.4 GHz 私有协议，ZigBee, RF4CE, 蓝牙等应用。对这些 2.4 GHz 的应用，天线都是通用的。主要根据 PCB 板的尺寸大小和产品结构在 TI 有的参考设计 (DN035, Antenna Selection Quick Guide) 中选择。2.4 GHz 应用常用的 PCB 天线有倒 F 天线 (DN007)，曲折线天线 (AN043)。陶瓷天线 (Chip Antenna) 有体积小，使用方便的特点。应用中需要根

据规格书和应用指南来做布板设计。这些天线都是全向天线，也就是说没有明显的方向性。这符合一般 Wi-Fi 应用的需求。

### 3.4 天线阻抗匹配

在图 10 中，L9 和 C50 形成一个 L 型的阻抗匹配网络，采用的实际的器件值一般需要调试。最初贴板在 L9 位置可以贴一个 10 pF 的电容或 0 Ohm 电阻，C50 的位置可以不焊。在图 9 中的器件值是在 CC3200 Launchpad 上调试后的结果。由于不同 PCB 板设计叠层结构，介质参数，走线阻抗的差异，会造成在天线输入端不同的阻抗失配，所以这里的匹配网络的器件的值不能照搬。

天线的阻抗匹配评估需要测量等效辐射功率(Effective Radiated Power, ERP)，对比传导测试的天线的输入功率，通过这两个值直接的差异来判断。这个差异是天线的效率反应。比如 50% 的效率就意味着 3 dB 的损耗。如果理想匹配，输入功率减去 3 dB 就是等效辐射功率。在没有辐射测量的环境下，作为粗略的评估方法，可以对比 CC3200 Launchpad 在比较干净的射频环境下测试通讯距离。另外单独评估天线的性能，可以用矢量网络分析仪 (Vector Network Analyzer) 测量天线带匹配电路的反射系数 S11 的频率特性, 包括幅度频谱 |S11| 和史密斯圆图 (Smith Chart)，从而可以查看是中心频点、带宽、驻波比 (VSWR) 等参数。

### 3.5 射频测试接口

CC3200 Launchpad 上 J24 是 Murata 通轴开关接头座 (Switching Connector, Part Number: MM8030-2610RJ3)。扣上对应的接头后就断开下面的天线，用作传导测试射频性能。一般在终端产品设计中不会采用。J18 为 uFL 同轴连接座，也可用作传导测试射频性能，但这里主要是提供外接天线的接口。在 J18 测试或外接天线需要手动把 R111 去掉，把 R100 焊上（就是把焊在 R111 焊盘上的 0 Ohm 电阻逆时针转 90 度），以把射频信号导向 J18 而不是天线。由于链路的插损不同，在 J24 和 J18 测试的射频性能有细微差别。

在实际测试当中，发现 Launchpad 板上的射频连接器 J18 以及此类电缆的插损比较大，如果要精确评估芯片发射功率的话，可以在 R111 和 R110 的共焊盘上焊接 SMA 接头开口电缆来测试，如图 14 所示。

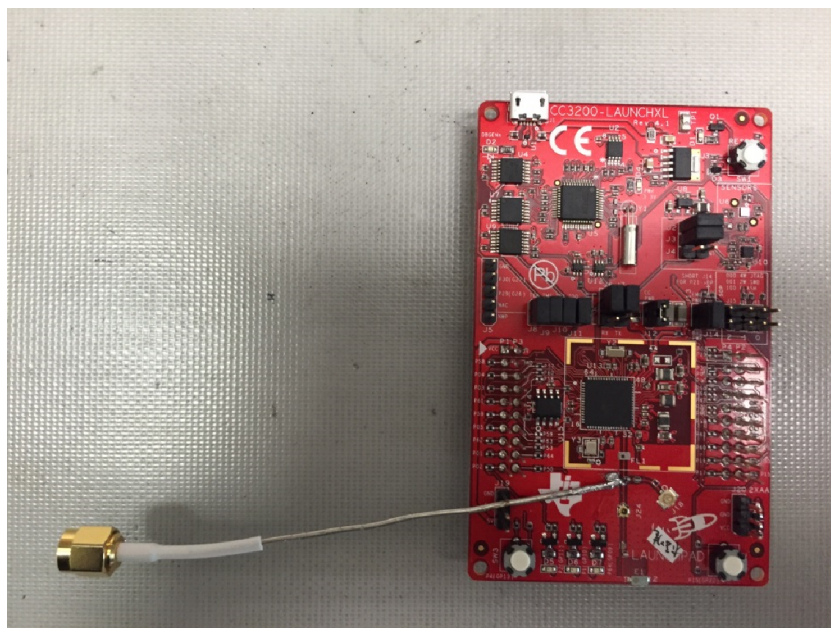


图 14: CC3200 Launchpad 上焊接 SMA 头射频电缆

#### 4. 晶振电路设计

参考时钟源对于一个电路设计来说至关重要，它关系到软件运行的稳定性和射频的性能。本文讨论的是快时钟（40 MHz）的设计要点。

##### 4.1 晶体选型

40 MHz 晶体需要满足两个指标。一是频率误差必须小于  $\pm 25$  ppm，这包含本身的误差，在全温度范围的漂移，和老化；二是晶体的等效串联电阻 ESR 需在 40 Ohm 到 60 Ohm 之间，过大的负载电容和 ESR 会影响振荡器的起振。因为产线测试都是在室温下，建议把频率误差控制在  $\pm 10$  ppm 以内。在量产中控制产品的一致性，需要和晶体供应商配合晶体的调试。一般是使用晶体供应商提供的标准样品来调试晶体旁边的匹配电容。基于标准样品便于晶体供应商控制批次之间的差异。

##### 4.2 晶体的布板设计

首先，要让晶体离芯片管脚尽量近，这样可以有效减少干扰和寄生参数；其次就是对于晶体电路部分的保护（包括负载电容）。如下图参考设计中，把表层地分割并且在下层用完整地做保护；最后，在走线宽度上按参考设计，不宜太粗或太细，造成寄生电容或电容过大。



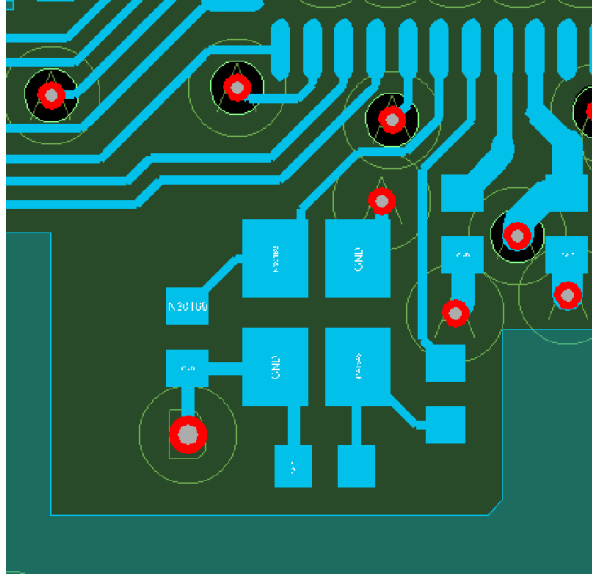


图 15: 40 MHz 晶体的布板处理

## 5. 总结

本应用笔记针对 TI SimpleLink™ Wi-Fi 芯片 CC3200 和 CC3100 投放市场以来的客户问题反馈，讲解了这两款芯片电路板设计的重点，主要包括射频部分，电源，以及快时钟晶体部分布板设计需要特别注意的设计细节。

芯片的参考设计、布板指南<sup>3</sup>、和本应用笔记可以解答在 CC3200 和 CC3100 电路板设计中遇到的大部分疑问。另外电路板设计工程师还可以通过在线技术论坛 ([www.devisupport.com](http://www.devisupport.com)) 跟 TI 的技术专家直接交流讨论。

<sup>1</sup> Chapter 4.5 “Electrical Characteristics”, C3200 Datasheet, SWAS032F

<sup>2</sup> CC3200-LAUNCHXL Schematic, Rev. 4.1, <http://www.ti.com/tool/cc3200-launchxl>

<sup>3</sup> “CC3100 and CC3200 SimpleLink™ Wi-Fi and IoT Solution Layout Guidelines”, SWRU370A